

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. März 2004 (04.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/019490 A1

(51) Internationale Patentklassifikation⁷: H03H 9/10

[DE/DE]; Peralohstr. 13, 81737 München (DE). PORTMANN, Jürgen [DE/DE]; Stuntzstr. 8, 81677 München (DE). NICOLAUS, Karl [DE/DE]; Johannes-Scharner-Str. 1, Wilhelm-Mayr-Str. 2, 80689 München (DE). FEIERTAG, Gregor [DE/DE]; Wilhelm-Mayr Strasse 2, 80689 München (DE). STELZL, Alois [AT/DE]; Traunsteinerstr. 33, 81549 München (DE).

(21) Internationales Aktenzeichen: PCT/EP2003/006596

(22) Internationales Anmeldedatum:
23. Juni 2003 (23.06.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(74) Anwalt: EPPING, HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstrasse 55, 80339 München (DE).

(30) Angaben zur Priorität:
102 38 523.8 22. August 2002 (22.08.2002) DE

(81) Bestimmungsstaaten (national): JP, US.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): EPCOS AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

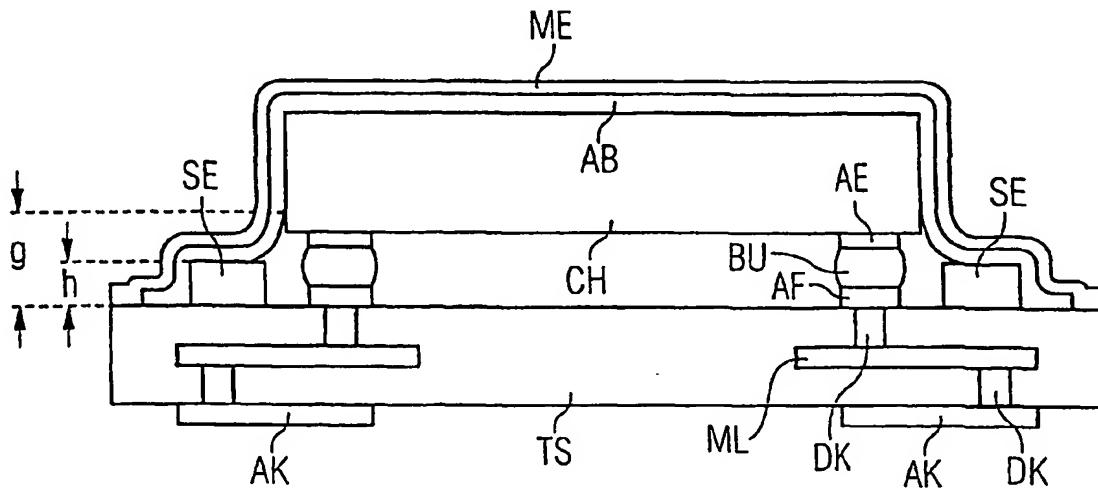
Veröffentlicht:
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): KRUEGER, Hans

[Fortsetzung auf der nächsten Seite]

(54) Title: ENCAPSULATED ELECTRONIC COMPONENT AND PRODUCTION METHOD

(54) Bezeichnung: VERKAPSELTES ELEKTRONISCHES BAUELEMENT UND VERFAHREN ZUR HERSTELLUNG



WO 2004/019490 A1

(57) Abstract: The invention relates to an encapsulated component comprising a carrier substrate and at least one chip that is disposed on the upper side of said carrier substrate and is electrically connected thereto by means of electrically conductive connections. The chip is encapsulated by means of a seal or dielectric layer. The electrically conductive connections are subjected to tensile forces during temperature changes due to different expansion coefficients in the seal or dielectric layer and the electrically conductive connections, potentially resulting in cracks, fractures, and even an interruption of the electrically conductive connections. In order to mechanically relieve the electrically conductive connections of said tensile forces during temperature changes (particularly during extreme thermal stress), the carrier substrate is provided with a supporting element which encompasses the chip and supports the seal or dielectric layer, and the material and the arrangement of the encapsulating device is selected accordingly.

[Fortsetzung auf der nächsten Seite]



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft ein verkapseltes Bauelement, das ein Trägersubstrat und zumindest einen auf der Oberseite des Trägersubstrats angeordneten und mit diesem mittels elektrisch leitender Verbindungen elektrisch verbundenen Chip enthält. Die Verkapselung des Chips wird mit einer Abdichtung oder dielektrischen Schicht erzielt. Infolge unterschiedlicher Ausdehnungskoeffizienten der Abdichtung oder dielektrischen Schicht und der elektrisch leitenden Verbindungen treten bei Temperaturwechsel Verspannungen in den elektrisch leitenden Verbindungen auf, die zu Rissen, Brüchen und sogar zur Unterbrechung der elektrisch leitenden Verbindungen führen können. Zur mechanischen Entlastung der elektrisch leitenden Verbindungen von Verspannungen bei Temperaturwechsel (insbesondere bei extremen thermischen Belastungen) wird vorgeschlagen, das Trägersubstrat mit einem den Chip umlaufenden Stützelement zu versehen, welches zur Abstützung der Abdichtung oder dielektrischen Schicht dient, und/oder das Material und die Anordnung der Verkapselung entsprechend zu wählen.

Verkapseltes elektronisches Bauelement und Verfahren zur Herstellung

Die Erfindung betrifft ein verkapseltes Bauelement, bei dem
5 zwischen einem Trägersubstrat und der aktiven Fläche eines
Chips ein Spalt vorgesehen ist, insbesondere ein mit akusti-
schen Wellen arbeitendes Bauelement, das ein Trägersubstrat
und einen auf der Oberseite des Trägersubstrats angeordneten
10 und mit diesem mittels Bumps oder anderer elektrisch leiten-
der Verbindungen elektrisch und mechanisch verbundenen Chip
enthält.

Der Chip ist auf einem Substrat, z. B. bei einem akustischen
Bauelement auf einem piezoelektrischen Substrat aufgebaut,
15 wobei die zum Trägersubstrat zugewandte Chipoberfläche, im
folgenden Unterseite genannt, elektrisch leitende Strukturen
trägt, z. B. mit akustischen Oberflächen- oder Volumenwellen
arbeitende Resonatoren.

20 Um die empfindlichen leitenden Strukturen auf dem Chip vor
Umgebungseinflüssen zu schützen, wurden bereits verschiedene
Verfahren zur einfachen Verkapselung der Bauelemente vorge-
schlagen.

25 Es besteht z. B. die Möglichkeit, den Raum zwischen dem
Chiprand und dem Trägersubstrat mit einem Underfiller abzu-
dichten und eine Metallschicht auf das Bauelement aufzusput-
tern. Dieses Verfahren hat den Nachteil, daß man die leiten-
30 den Strukturen (insbesondere akustische Wandler) auf dem Chip
vor dem Underfiller, beispielsweise mit einer Kunststoffkap-
pe, schützen muß und dazu aufwendige Verfahrensschritte
braucht.

In der DE 198 06 818 A wurde beispielsweise vorgeschlagen,
35 die Bauelemente in Flip-Chip-Anordnung auf einem Träger zu
verlöten und anschließend mit einer Folie, z. B. Laminatfo-
lie, abzudecken, die zwischen den Bauelementen dicht mit dem

Träger abschließt. In weiteren Variationen solcher Folienabdeckungen von Bauelementen wird auch vorgeschlagen, diese Folien durch Aufbringen einer Metallschicht über der Folie weiter hermetisch abzudichten und diese Metallisierung beispielweise galvanisch zu verstärken. In diesem Fall handelt es sich um freistehende Bumps, die nicht durch eine Vergußmasse unterstützt sind. Da die mechanische Verbindung zwischen dem Trägersubstrat und dem Chip ausschließlich durch die Laminatfolie und die Bumps zustande kommt, müssen vor allem die Bumps die im Chip bei mechanischen Einwirkungen auftretenden Scherspannungen und/oder Zugspannungen aushalten.

Insbesondere infolge unterschiedlicher Ausdehnungskoeffizienten der Laminatfolie bzw. der Abdichtungen und der Bumps sind die Bumps bei einem starken und sprunghaften Temperaturwechsel mechanischen Verspannungen ausgesetzt, die zu Rissen, Brüchen und sogar zum Abreißen der Bumps führen können.

Aufgabe der vorliegenden Erfindung ist es, bei einem Bauelement in Flip-Chip-Bauweise mechanischen Verspannungen der elektrisch leitenden Verbindungen, insbesondere Bumpverbindungen bei extremen thermischen Belastungen vorzubeugen.

Diese Aufgabe wird erfindungsgemäß durch ein Bauelement nach Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sowie das Verfahren zur Herstellung des Bauelements sind weiteren Ansprüchen zu entnehmen.

Die Erfindung schlägt ein Bauelement vor, das einen Chip mit elektrisch leitenden Strukturen auf einer Oberfläche, im folgenden Chipunterseite genannt, und ein mit diesem Chip elektrisch und mechanisch verbundenes Trägersubstrat umfaßt. Das Trägersubstrat weist auf der Oberseite Anschlußflächen zum Ankontakteieren des Chips auf. Der zumindest eine Chip ist in Flip-Chip-Bauweise mit Hilfe von elektrisch leitenden Verbindungen, vorzugsweise Lötverbindungen, insbesondere Bumpverbindungen (Bumps), auf einem Trägersubstrat montiert, wobei

die Anschlußflächen des Trägersubstrats mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Zwischen dem Trägersubstrat und der aktiven Fläche des Chips ist ein Spalt vorgesehen.

5

Zur Entlastung der elektrisch leitenden Verbindungen ist ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement vorgesehen, welches den Chip umläuft, ohne ihn zu berühren. Das Stützelement ist vorzugsweise durch einen auf der 10 Oberseite des Trägersubstrats angeordneten geschlossenen Rahmen, welcher den Chip umläuft, gebildet. Ferner umfaßt das erfindungsgemäße Bauelement eine Abdichtung, welche den Chip umgibt und zumindest den Raum zwischen dem Chip und dem ihn umlaufenden Stützelement dicht abschließt. Dabei stützt sich 15 die Abdichtung am Stützelement ab.

Das Trägersubstrat des erfindungsgemäßen Bauelements kann eine oder mehrere dielektrische Schichten, beispielsweise aus einem Kunststoff, insbesondere organischem Kunststoff, Silizium, Siliziumoxid oder Keramik, insbesondere LTCC- oder 20 HTCC-Keramik (LTCC = Low Temperature Cofired Ceramic, HTCC = High Temperature Cofired Ceramic) enthalten.

Die Keramik kann vorteilhaft als schrumpfarme Keramik (Non 25 Shrinkage) ausgeführt sein. Dies garantiert beim Sintern eine nur geringe Dimensionsänderung, so daß eine in der Grünfolie vorgegebene Geometrie beim Sintern weitgehend erhalten bleibt oder zumindest in reproduzierbarer Art und Weise einen nur geringen Schrumpf durch Sinterschwund erleidet. Mit LTCC- 30 Keramiken ist es möglich, die Grünfolien mit kostengünstigen Metallisierungen zu versehen, deren Beständigkeit gegenüber den niedrig liegenden Sintertemperaturen der LTCC-Keramik gewährleistet ist.

35 Möglich ist es jedoch auch, das Trägersubstrat als PCB (Printed Circuit Board) auszuführen, das als einschichtige oder

mehrschichtige Leiterplatte auf Kunststoffbasis ausgebildet ist.

Die dielektrischen Schichten sind voneinander durch Metallisierungsebenen getrennt, wobei die Oberseite und die Unterseite des Trägersubstrats auch Metallisierungsebenen bilden, die zumindest Anschlußflächen zum Ankontaktieren des Chips bzw. Außenkontakte zum Auflöten des Bauelements auf einem Systemträger (z. B. Leiterplatte) aufweisen. Die Metallisierungsebenen enthalten z. B. elektrische Verbindungsleiter, Signaldurchführungen oder integrierte Schaltungselemente (ausgewählt aus einer Induktivität, einer Kapazität oder einer Leitung), welche auf eine an sich bekannte Weise durch Leiterbahnen oder Leiterflächen gebildet sind. Die Metallisierungsebenen sind miteinander mittels Durchkontakteierungen verbunden.

Der Chip bei dem erfindungsgemäßen Bauelement umfaßt ein Trägersubstrat, das eine oder mehrere dielektrische Schichten enthalten kann, welche durch Metallisierungsebenen voneinander getrennt sind, wobei die Oberseite oder die Unterseite des Trägersubstrats auch eine Metallisierungsebene darstellt. Die Struktur der Metallisierungsebenen und ihre Verbindung miteinander sind wie oben beschrieben. Das Substrat kann z. B. eine oder mehrere Schichten aus Kunststoff, Silizium oder Siliziumoxid enthalten. Die als die Metallisierungsebene vorgesehene Chipseite kann zumindest eine passive, nichtlineare oder aktive Bauelement-Struktur aufweisen, insbesondere eine Diode oder einen Transistor.

30

Das erfindungsgemäße Bauelement kann insbesondere ein mit akustischen Wellen arbeitendes Bauelement sein, bei dem der Chip ein Substrat mit zumindest einer piezoelektrischen Schicht umfaßt, wobei eine Chipseite (z. B. die Chipunterseite) zumindest einen Oberflächenwellen-Wandler oder einen Volumenwellen-Resonator aufweist. Das Substrat kann wie oben

beschrieben mehrere dielektrische Schichten und Metallisierungsebenen enthalten.

Das erfindungsgemäße Bauelement kann außerdem ein MEMS-
5 Bauelement (MEMS= Microelectromechanical System, MOEMS= Micro Optoelectromechanical System) oder ein Halbleiter-Bauelement, insbesondere eine integrierte Schaltung auf der Halbleiter-Basis sein.

10 Die Abdichtung kann aus einem dielektrischen Material, insbesondere aus einer Vergußmasse, z. B. Harz, Glob-Top, Underfiller, Kleber oder einem Kunststoff, insbesondere einem organischen Kunststoff, einem Metalllot, Glaslot oder einer Laminatfolie sein.

15 Die Abdichtung bedeckt zumindest teilweise die Seitenflächen des Chips und die Teilbereiche des ihn umlaufenden Stützelements und kann dabei den Raum zwischen den Seitenflächen des Chips und des Stützelements teilweise oder vollständig aus-
20 füllen.

In einer vorteilhaften Ausführungsform ist die Abdichtung als dielektrische Schicht ausgebildet, welche zusätzlich die Chipoberseite überdeckt. Die dielektrische Schicht kann durch
25 eine Vergußmasse, z. B. Harz oder eine Kunststoffschicht, insbesondere eine Schicht aus einem organischen Kunststoff oder einem Glaslot oder durch eine Laminatfolie gebildet sein.

30 Die dielektrische Schicht kann aus einer oder mehreren Schichten bestehen, welche beispielsweise verschiedene Funktionen realisieren. Es ist vorteilhaft, wenn eine der genannten Schichten eine besonders geringe Feuchtigkeitsaufnahme oder eine gute Gasdichtigkeit aufweist. Dafür sind insbesondere Schichten aus einem LCP-Material (Liquid Crystal Polymer) geeignet. Es ist zweckmäßig, insbesondere bei einer als Folie realisierten dielektrischen Schicht, die schlecht am

35

Trägersubstrat bzw. Chip haftet, eine zusätzliche Haftvermittlungsschicht vorzusehen. Als oberste Schicht im Schichtaufbau der dielektrischen Schicht kann eine zusätzliche Schicht angeordnet werden, die insbesondere für die Laserbeschriftung geeignet ist. Es ist möglich, daß eine der Schichten im Schichtaufbau der dielektrischen Schicht zusätzlich zum Auffüllen der Zwischenräume zwischen den Chips auf einem großflächigen Trägersubstrat (Panel) geeignet ist. Diese Schicht kann mit einer Vergußmasse realisiert werden.

10

Möglich ist auch, daß die genannte Abdichtung mit einer oder mehreren der genannten dielektrischen Schichten kombiniert ist.

15

Es ist möglich, daß die dielektrische Schicht das Stützelement und den Chip vollständig überdeckt und erst außerhalb des Stützelementes mit dem Trägersubstrat abschließt. Zwischen dielektrischer Schicht und der Oberseite des Trägersubstrats ist ein Hohlraum ausgebildet, in welchem der Chip und

20

das ihn umlaufende Stützelement gemeinsam eingeschlossen sind. Dabei kann das Stützelement aus einem hermetisch dichten oder einem nicht hermetisch dichten Material sein.

25

In einer weiteren vorteilhaften Ausführungsform ist die Abdichtung als dielektrische Schicht ausgebildet, welche den Chip vollständig überdeckt und mit dem Stützelement dicht abschließt; wobei die Außenseite des Stützelements von der Abdichtung nicht abgedeckt ist. Dabei ist das Stützelement sinngemäß aus einem hermetisch dichten Material und kann einen Teil der Seitenwand des erfindungsgemäßen Bauelements bilden.

30

Beim bevorzugten Verfahren zur Herstellung eines erfindungsgemäßen Bauelements wird das mit mehreren Chips bestückte großflächige Trägersubstrat (Panel) bei einer vergleichsweise hohen Temperatur mit einer Kunststofffolie laminiert, die beim

Abkühlen über dem Chip und dem ihn umlaufenden Stützelement aufgespannt wird.

Ist das Bauteil in diesem Zustand noch nicht hermetisch verschlossen, wird durch eine weitere Schicht die Hermetizität hergestellt. Dazu muß die hermetische Schicht, z. B. eine Cu-Schicht, im Bereich zwischen den Einbauplätzen der Chips mit dem Stützelement oder mit dem Trägersubstrat abschließen. Aus diesem Grund wird die dielektrische Schicht an diesen Stellen entfernt.

Möglich ist es auch, die hermetische Schicht am Rand des Bauelements in einem (ringförmig) geschlossenen Streifen direkt mit der Oberfläche des Trägersubstrates abschließen zu lassen, wobei mehrere oder alle Chips des Bauelements innerhalb dieses geschlossenen Streifens angeordnet sind. In diesem Fall liegt die hermetische Schicht zwischen den Chips auf dem Stützelement auf und die Chips des Bauelements sind nicht individuell, sondern kollektiv hermetisch dicht verkapselt.

20

Es ist möglich, daß das erfindungsgemäße Bauelement mehrere gleiche oder unterschiedliche Chips mit passiven oder aktiven Komponenten umfaßt, welche auf der Oberseite des Trägersubstrats angeordnet sind und auf die gleiche Art verkapselt sind.

25

Es ist möglich, daß das Bauelement außerdem eine oder mehrere diskrete Komponenten, z. B. ausgewählt aus einem Kondensator, einem Widerstand oder einer Spule, umfaßt.

30

Die Herstellung der als Bumps ausgeführten elektrisch leitenden Verbindungen gelingt mit verschiedenen Verfahren. In herkömmlicher Weise können die Bumps über den Anschlußflächen durch galvanische Abscheidung erzeugt werden, beispielsweise durch Abscheidung von SnPb, SnAg, SnCu, SnAgCu oder SnAu. An die galvanische Abscheidung kann sich ein Umschmelzen an-

schließen, was zur Ausbildung der entsprechenden Legierung führt.

Möglich ist es auch, in herkömmlicher Weise die Bumps mittels 5 Sieb- oder Schablonendruck von Lotpaste zu erzeugen und anschließend einen Reflowprozeß durchzuführen, bei dem die Bumps ihre kugelförmige Geometrie erhalten.

Auch ist es möglich, die Bumps durch gerichtetes Stanzen von 10 Zylindern aus Lotfolie über den Durchkontaktierungen der obersten Schicht des Trägersubstrats zu erzeugen.

Alternativ können die Bumps auch auf den lötfähigen Metallisierungen auf der Chipunterseite erzeugt werden. Dies kann 15 beispielsweise ebenfalls durch galvanische Abscheidung über den entsprechenden Metallisierungen erfolgen. Auch ein Solder-Jet-Verfahren ist möglich. Ferner ist Schablonendruck von Lotdepots auf den Metallisierungen und ein anschließender Umschmelzprozeß möglich. Da auch hier die Benetzbarkeit der 20 lötfähigen Metallisierungen die Strukturierung erleichtert, kann eine unterschiedliche Benetzbarkeit von metallischen Strukturen zur Strukturierung der Bumps auf dem Chip bzw. im Wafer-Stadium verwendet werden. Beispielsweise ist es möglich, einen Großteil der auf dem Chip (der Chipunterseite) 25 befindlichen Metallisierungen zu passivieren, beispielsweise durch Erzeugen einer anodischen Oxidschicht, die zusätzlich noch mit einer aufgebrachten mineralischen Schicht, beispielsweise einer dünnen Siliziumoxidschicht oder einer dünnen Siliziumnitridschicht abgedeckt sein kann. Die nicht von 30 dieser Passivierung bedeckten Flächen bleiben dann mit Lot benetzbar oder speziell durch geeignete weitere Schichten, sogenannte Underbumpmetallisierungen - UBM - mit Lot benetzbar gemacht werden, während die passivierten Oberflächen der Metallisierung die Lötstoppmaske darstellen.

35

Das auf dem Trägersubstrat angeordnete Stützelement umschließt einen Innenraum, der den Ort zur Aufnahme des Chips

darstellt und geometrisch definiert. Das Stützelement kann dabei bis über das Niveau der Chip-Unterkante oder -Oberkante reichen. Möglich ist es jedoch auch, daß das Stützelement niedriger als die Chip-Unterkante ist.

5

Als erhabene Struktur ist das Stützelement aus Kunststoff, Lot oder Metall gebildet und kann integriert mit anderen Komponenten oder Strukturen des Trägersubstrats erzeugt werden. Ein aus Metall bestehendes oder mit einer Metallisierung versehenes Stützelement hat den Vorteil, daß die Metallisierung einen guten Kontakt, Haftung und Benetzung zur Abdichtung oder dielektrischen Schicht schafft, so daß eine hermetische Abdichtung des gesamten Bauelements und insbesondere der leitenden Strukturen auf der Unterseite des Chips gewährleistet ist. Möglich ist es jedoch auch, daß die Oberfläche des Stützelementes keine Metallisierung aufweist.

Das Stützelement kann ferner aus einem keramischen Material oder einem Kunststoff, bevorzugt aus einem Kunststoff mit einer sehr geringen Wasseraufnahmefähigkeit (z. B. hochgefüllten Kunststoff oder Flüssigkristall-Polymer) sein.

Das Stützelement kann ferner mit bzw. über lötfähigen Metallisierungen erzeugt werden. Zunächst wird eine Metallisierung auf dem Trägersubstrat an den für das Stützelement vorgesehenen Stellen erzeugt, beispielsweise in einem Sputterprozeß. Das Stützelement kann dann durch galvanische Verstärkung dieser Metallisierung erzeugt werden. Dabei kann zunächst eine Schichtenfolge Titan (für die bessere Haftung) und Kupfer erzeugt werden. Eine ausreichende Dicke dieser Schicht kann bereits durch Sputtern erzielt werden, beispielsweise 100 bis 200 nm Titan und mehr als 6 μm Kupfer. Möglich ist es jedoch auch, eine dünne Titan/Kupferschicht zu erzeugen (0,1 bis 2 μm Kupfer) und diese anschließend galvanisch zu verstärken. Vorzugsweise erfolgt eine Strukturierung des Stützelementes mit Hilfe einer Photoresistmaske durch strukturiertes Aufsputtern. Die Maske kann auch so ausgebildet sein, daß sie

während des galvanischen Aufdickprozesses auf dem Trägersubstrat verbleiben kann.

Es ist möglich, daß für jeden auf der Oberseite des Träger-
5 substrats angeordneten Chip das Stützelement in der Form ei-
nes individuellen Rahmens vorgesehen ist. Es ist außerdem
möglich, daß das Stützelement als ein Rahmen aus einem soli-
den Block mit Ausnehmungen für jeden Chip ausgebildet ist.

10 Die Verwendung des den Chip umlaufenden Stützelementes bei
der Verkapselung des Bauelements mit Hilfe einer Abdichtung
hat den Vorteil, daß auf die elektrisch leitenden Verbindun-
gen einwirkende mechanische Kräfte, welche insbesondere bei
thermischer Belastung auftreten und zu Rissen führen können,
15 durch das Abstützen der Abdichtung am Stützelement reduziert
werden, was zur mechanischen Entlastung der elektrisch lei-
genden Verbindungen beiträgt.

Die der Erfindung zugrunde liegende Aufgabe, eine Überbelas-
20 tung der elektrisch leitenden Verbindungen zu vermeiden,
wird außerdem durch ein weiteres Bauelement gelöst. Es wird
ein Chip vorgeschlagen, mit elektrisch leitenden Strukturen
auf der Chipunterseite, und einem Trägersubstrat, welches auf
der Oberfläche Anschlußflächen aufweist, wobei der Chip in
25 Flip-Chip-Bauweise mittels elektrisch leitender Verbindungen
auf dem Trägersubstrat montiert ist und wobei die Anschluß-
flächen mit den elektrisch leitenden Strukturen des Chips
mittels elektrisch leitender Verbindungen elektrisch verbun-
den sind. Auf der Chipoberseite ist eine Abdeckung, insbeson-
30 dere ein Verbund aus einer dielektrischen Schicht und einer
darüber liegenden Metallschicht angeordnet, wobei dieser Ver-
bund rund um den Chip außerhalb der Chipfläche mit dem Trä-
gersubstrat abschließt. Zur Entlastung der elektrisch leiten-
den Verbindungen (vorzugsweise Bumps) ist bei dem Bauelement
35 die Chipdicke so ausgewählt, daß die durch thermische Ausdeh-
nung des genannten Verbundes auftretenden Kräfte im Tempera-

turbereich zwischen -60°C und 85°C pro elektrisch leitende Verbindung (pro Bump) maximal 2 Newton betragen.

Die Erfinder haben gefunden, daß eine auf eine elektrisch leitende Verbindung, insbesondere einen Bump wirkende Kraft ab 2 Newton zur Entstehung von Bumprissen führt, was erfindungsgemäß nun durch geeignete Wahl der Schichtdicke vermieden wird. Bei gängigen Chipgrößen und dazu verwendeten Bumpanordnungen ist dazu in der Regel eine Reduzierung der Chipdicke nötig. Mit dieser vorteilhaften Ausführungsform des erfindungsgemäßen Bauelements wird die gewünschte Entlastung der elektrisch leitenden Verbindungen (Bumps) ohne Stützelement erzielt, was den entsprechenden Verfahrensschritt zur Aufbringung des Stützelementes auf dem Trägersubstrat erspart.

In einer weiteren vorteilhaften Ausführungsvariante der Erfindung wird vorgeschlagen, eine dielektrische Schicht aus Polymermaterial mit einem Elastizitätsmodul unter 1 GPa oder eine dünne Folie, deren Dicke kleiner als 20 µm beträgt, zu verwenden. Bei den genannten Materialien ist bei Temperaturwechsel die Verformung der elektrisch leitenden Verbindung dadurch minimiert, daß die Verformung nicht im Lot bzw. in den elektrisch leitenden Verbindungen, sondern zu einem großen Teil in der dielektrischen Schicht bzw. in der Folie auftritt.

Alternativ kann eine dielektrische Schicht bzw. eine Folie verwendet werden, die einen kleinen thermischen Ausdehnungskoeffizienten aufweist oder bei der der thermische Ausdehnungskoeffizient durch Beimischung eines anorganischen Füllstoffs reduziert wird. Vorzugsweise wird eine dielektrische Schicht mit einem thermischen Ausdehnungskoeffizienten verwendet, welcher demjenigen des Lotes bzw. des Materials der elektrisch leitenden Verbindungen entspricht. Möglich ist es auch, daß der thermische Ausdehnungskoeffizient des Materials der dielektrischen Schicht zwischen $\alpha_{\text{Bump}}/2$ und $2\alpha_{\text{Bump}}$ ausge-

wählt ist. Damit eine Strukturierung solcher dielektrischen Schichten bzw. Folien mit Füllstoffen möglich ist, werden vorzugsweise Partikel verwendet, deren Durchmesser kleiner als 1 μm ist.

5

In einer weiteren Ausführungsvariante der Erfindung wird außerdem ein Bauelement vorgeschlagen, das einen Chip mit elektrisch leitenden Strukturen auf der Chipunterseite und ein Trägersubstrat, welches auf der Oberfläche Anschlußflächen aufweist, enthält, wobei der Chip in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen elektrisch verbunden sind. Das erfindungsgemäße Bauelement enthält außerdem ein auf der Oberseite des Trägersubstrats angeordnetes als Schrumpfrahmen ausgebildetes Stützelement, welcher den Chip umläuft und diesen dicht umschließt. Diese vorteilhafte Ausführungsform der Erfindung hat den Vorteil, daß der Schrumpfrahmen den zu verkapselnden Chip gleichzeitig mechanisch unterstützt und diesen dicht mit dem Trägersubstrat abschließt, so daß in diesem Fall im Prinzip keine weitere Abdichtung notwendig ist. Ist der Schrumpfrahmen nicht ausreichend gasdicht, kann die Hermetizität des Bauteils durch eine zusätzliche hermetisch dichte Schicht, vorzugsweise durch eine Metallschicht hergestellt werden.

Die der Erfindung zugrunde liegende Aufgabe wird außerdem durch ein Verfahren mit folgenden Schritten gelöst:

30

- zumindest zwei elektrisch leitende Strukturen tragende Chips werden auf einem Trägersubstrat, welches auf der Oberfläche Anschlußflächen zur elektrischen Verbindung mit den elektrisch leitenden Strukturen des Chips aufweist, in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen befestigt,
- 35 - die zumindest zwei Chips werden mit einer dielektrischen Schicht, welche auf der Chipoberseite aufliegt und mit dem Trägersubstrat abschließt, überdeckt, so daß jeder

der zumindest zwei Chips auf diese Weise individuell verkapselt wird,

- der Zwischenraum zwischen den zumindest zwei Chips wird mit einer Vergußmasse gefüllt.

5

Es ist möglich, auf der dielektrischen Schicht eine Metallschicht aufzutragen, die mit der dielektrischen Schicht einen Verbund bildet, und die Vergußmasse dann auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des Chips aufzutragen und gegebenenfalls zu härten. Das Trägersubstrat kann anschließend zersägt werden, so daß einzelne Bauelemente entstehen, welche zumindest einen der genannten Chips umfassen.

10 15 In diesem vorteilhaften Verfahren zur Herstellung eines erfindungsgemäß verkapselten Bauelements wird die Entlastung der elektrisch leitenden Verbindungen mit einem äußeren, über dem Verbund angeordneten und durch die Vergußmasse gebildeten Stützelement erzielt (durch seitliche Stützfunktion). Gegenüber dem entsprechenden Verfahrensschritt der Aufbringung eines strukturierten "inneren" Stützelementes auf dem Trägersubstrat stellt dies eine Verfahrenserleichterung dar.

25 Im folgenden wird die Erfindung und insbesondere das Verfahren zur Herstellung eines erfindungsgemäßen Bauelements anhand von Ausführungsbeispielen und der dazugehörigen schematischen und daher nicht maßstabsgerechten Figuren näher erläutert.

30 Figur 1 zeigt ein erfindungsgemäß verkapseltes Bauelement mit einem Trägersubstrat, einem aufgesetzten Chip, einer dielektrischen Schicht und einem Stützelement im schematischen Querschnitt

35 Figur 2 zeigt eine vorteilhafte Ausführungsform des erfindungsgemäß verkapselten Bauelements mit dem Stütze-

lement aus einem hermetisch dichten Material im schematischen Querschnitt

5 Figuren 3 und 4 zeigen vorteilhafte Ausführungsformen des erfindungsgemäß verkapselten Bauelements im schematischen Querschnitt

10 Figuren 5a und 5b zeigen ein erfindungsgemäßes Bauelement mit einer Vergußmasse zwischen den verkapselten Chips im schematischen Querschnitt

15 Figur 6a und 6b zeigt ein erfindungsgemäßes Bauelement mit einem gedünnten Chip im schematischen Querschnitt (im Normalzustand und bei einer wesentlich niedrigeren Temperatur)

20 Figur 6c zeigt eine beispielhafte Anordnung der elektrisch leitenden Verbindungen des gedünnten Chips im erfindungsgemäßigen Bauelement im schematischen Querschnitt parallel zur Chipoberfläche

25 Figuren 7a bis 7c zeigen aufeinanderfolgende Prozeßschritte bei der erfindungsgemäßigen Verkapselung des Bauelements mit einem Chip mit angeschrägten Seitenflächen und einem Lotrahmen

30 Figur 1 zeigt ein Trägersubstrat TS mit aufgesetztem Chip CH und einem Stützelement SE im schematischen Querschnitt. Das Bauelement umfaßt den auf dem Trägersubstrat TS in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen BU montierten Chip CH und ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement SE, das den Chip umläuft.

35 Im erfindungsgemäßigen Bauelement liegt der Chip auf dem Stützelement nicht auf.

Der Chip und das Stützelement zusammen sind mit einer als dielektrische Schicht ausgebildeten Abdichtung AB überdeckt. In diesem Ausführungsbeispiel ist auf die dielektrische Schicht AB zusätzlich eine Metallschicht ME aufgetragen. Die 5 Metallschicht dient zur Abschirmung der signalführenden Chip-Strukturen vor elektromagnetischen Störungen sowie zur Herstellung der Hermetizität.

Die Chipoberseite kann zusätzlich mit einer durchgehenden Metallisierung oder mit einer Schicht, z. B. Klebeschicht, welche eine bessere Haftung der dielektrischen Schicht AB ermöglicht, versehen werden. 10

Das Trägersubstrat TS enthält eine oder mehrere dielektrische 15 Schichten, wobei auf dessen Oberseite, Unterseite und ggf. zwischen zwei dielektrischen Schichten Metallisierungsebenen ML vorgesehen sind. Die Oberseite des Trägersubstrats weist insbesondere Anschlußflächen AF auf, die mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Die 20 Unterseite des Trägersubstrats weist insbesondere Außenkontakte AK (z. B. SMD-fähige Kontakte, SMD = Surface Mounted Device) auf. Die Außenkontakte sind mit den Anschlußflächen und ggf. den Metallisierungsebenen ME mittels Durchkontaktierungen DK verbunden. Die Metallisierungsebenen des mehr- 25 schichtigen Trägersubstrats können durch Leiterbahnen und Metallflächen gebildete integrierte Schaltungselemente enthalten, ausgewählt z.B. aus einer Kapazität, einer Induktivität, einer Leitung oder einem Leitungsabschnitt.

30 Der Chip CH enthält beispielsweise ein piezoelektrisches Substrat, dessen eine Oberfläche (Unterseite) Metallisierungen eines Oberflächenwellenbauelements und/oder zumindest einen FBAR (Thin Film Bulk Acoustic Wave Resonator), im folgenden Bauelementstrukturen genannt, trägt. Der Chip kann außerdem 35 ein mehrschichtiges Substrat mit integrierten Schaltungselementen sein. Es ist möglich, daß die Chipoberseite metalli-

siert ist, z. B. durch eine Cu-Sputterschicht, die galvanisch verstärkt ist.

Die im Trägersubstrat integrierten Schaltungselemente können 5 für sich oder zusammen mit den auf dem Chip oder im Chip angeordneten Bauelementstrukturen oder Schaltungselementen zumindest einen Teil folgender Schaltungen bilden: eines Hochfrequenz-Schalters, einer Anpaßschaltung, eines Antennenschalters, eines Diodenschalters, eines Transistorschalters, 10 eines Hochpaßfilters, eines Tiefpaßfilters, eines Bandpaßfilters, eines Bandsperrfilters, eines Leistungsverstärkers, eines Vorverstärkers, eines LNAs, eines Diplexers, eines Duplexers, eines Kopplers, eines Richtungskopplers, eines Speichelements, eines Baluns, eines Mischers oder eines Oszillators. 15

Der Ausdehnungskoeffizient des Stützelementes α_{Rahmen} ist vorzugsweise ungefähr dem Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen α_{Bump} gleich und ist kleiner als 20 der Ausdehnungskoeffizient der Abdeckung $\alpha_{Abdeckung}$. Die Höhe des Stützelementes über der Oberfläche des Trägersubstrats kann z. B. ungefähr gleich oder größer als die Höhe der elektrisch leitenden Verbindung oder die Bumphöhe sein. Es ist sinnvoll, die Höhe des Stützelementes h so auszuwählen, daß sie mit dem 25 Abstand g zwischen der Oberseite des Trägersubstrats und dem Auflagepunkt der Folie am Chip folgendermaßen verbunden ist:

$$h \approx g \frac{\alpha_{Bump} - \alpha_{Abdeckung}}{\alpha_{Rahmen} - \alpha_{Abdeckung}}.$$

30 Ferner ist es möglich, daß die Höhe des Stützelementes im gesamten spezifizierten Temperaturbereich (z. B. -60°C ... $+85^{\circ}\text{C}$) kleiner als die Höhe der elektrisch leitenden Verbindung (oder Bumphöhe) bei der gleichen Temperatur ist. In diesem Fall kann die Breite des Stützelementes so ausgewählt 35 werden, daß die innere Kante des Stützelementes wie in Figur

1 dargestellt außerhalb der vom Chip bedeckten Fläche liegt oder unter den Chip reicht.

5 Möglich ist auch, daß die Höhe des Stützelementes größer, gleich oder kleiner als der Abstand zwischen der Chipoberseite (oder der Chipunterseite) und der Oberseite des Trägersubstrats ist.

10 Das Stützelement SE folgt vorzugsweise der äußeren Form des Chips CH und ist daher insbesondere (in der Draufsicht) rechteckig ausgebildet.

15 Das Stützelement kann aus Metall, Lot, Keramik oder Kunststoff bestehen. Das aus Kunststoff bestehende Stützelement kann beispielsweise aus einem Photolack erzeugt werden oder mit Hilfe einer Photolithographie oder eines Lasers aus einer anderen Schicht strukturiert werden. Das Stützelement aus Metall kann durch Siebdruck oder galvanisch erzeugt werden.

20 Da in diesem Beispiel eine hermetische Verkapselung des Chips im Bauelement dadurch erreicht wird, daß sowohl die dielektrische Schicht der Abdichtung AB als auch die Metallschicht ME außerhalb des Stützelementes mit dem Trägersubstrat abschließt, ist es möglich, daß das Stützelement aus einem 25 nicht hermetisch dichten Material besteht.

30 Das Stützelement kann einseitig mit einer Klebeschicht, Glaslot oder einer lötfähigen Schicht, z. B. aus Metallot, versehen sein, damit das Stützelement an der Oberseite des Trägersubstrats befestigt werden kann.

35 Es ist möglich, daß das Stützelement fest mit dem Trägersubstrat verbunden ist oder einen Bestandteil des Trägersubstrats bildet, wobei das Stützelement und das Trägersubstrat aus dem gleichen Material sein und z. B. gleichzeitig hergestellt werden können.

Die Bumps können galvanisch, durch Solder-Jet-Verfahren (z. B. Laserbumping), Studbumping oder durch Drucken erzeugt werden. Alternativ dazu kann auch ein anisotrop leitender Kleber eingesetzt werden, der z. B. auf die Oberseite des Trägersubstrats 5 aufgebracht wird. In diesem Fall müssen signalleitende Strukturen (auf der Chipseite) eventuell geschützt werden, z. B. durch eine Schutzkappe oder eine Schutzschicht.

In Figur 2 ist eine weitere vorteilhafte Ausführungsform des 10 erfindungsgemäßen Bauelements dargestellt. Im Gegensatz zu dem in der Figur 1 vorgestellten Ausführungsbeispiel schließt die dielektrische Schicht AB nicht mit dem Trägersubstrat TS, sondern nur mit dem Stützelement SE ab. Dabei bedeckt die dielektrische Schicht AB nur einen Teil des Stützelementes, 15 so daß die Metallschicht ME mit dem von der dielektrischen Schicht nicht bedeckten Bereich des Stützelementes ab- schließt. Da das Stützelement SE hier einen Teil der Seitenwand des Bauelements darstellt, so wird eine hermetische Ver- 20 kapselung des Chips im Bauelement in diesem Fall nur gewähr- leistet, wenn das Stützelement aus einem hermetisch dichten Material (z. B. Keramik, Metall oder Lot) besteht.

Das in der Figur 3 gezeigte Ausführungsbeispiel entspricht 25 der Figur 2, wobei das Stützelement SE hier Bestandteil des Trägersubstrats TS sein kann. In diesem Beispiel ist die Höhe des Stützelementes ungefähr gleich dem Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats. Es ist auch möglich, daß die Höhe des Stützelementes größer oder 30 kleiner als der Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats ist.

Es ist möglich, daß die als dielektrische Schicht ausgebilde- 35 te Abdichtung AB durchgehend ist und insbesondere die Ober- fläche des Stützelementes vollständig bedeckt. Dies hat den Vorteil, daß eine solche Schicht besonders einfach aufgetra- gen werden kann. Wenn die dielektrische Schicht dabei einen

hermetischen Abschluß gewährt, so kann auf die Metallschicht ME verzichtet werden.

5 Im in der Figur 4 dargestellten Ausführungsbeispiel ist der Raum zwischen dem Chip CH und dem Stützelement SE mit der Abdichtung AB abgedichtet. Die Abdichtung bedeckt in diesem Fall nur die einander benachbarten bzw. direkt gegenüberliegenden Randbereiche auf der Oberseite des Chips und des Stützelements.

10 Die Abdichtung kann aus Glaslot oder Vergußmasse (z. B. Klebemasse oder Harz) sein. In diesem Fall ist es sinnvoll, zur Abschirmung des Chips eine Metallschicht ME so aufzubringen, daß sie die Chipoberseite, die Abdichtung und die von der Abdichtung unbedeckte Oberfläche des Stützelementes überdeckt.

15 Es ist möglich, daß die Chipoberseite und die Oberfläche des Stützelementes schon vor dem Aufbringen der Abdichtung metallisiert sind und die Abdichtung aus Lot besteht. In diesem Fall kann auf die durchgehende Metallschicht, welche insbesondere die Abdichtung überdeckt, verzichtet werden.

20 In Figur 5a ist eine vorteilhafte Ausführungsform der Erfindung ohne Stützelement dargestellt. Der Chip CH ist auf einem großflächigen Trägersubstrat TS (Panel) angeordnet und wie in der Figur angedeutet von weiteren (gleichen oder unterschiedlichen) Chips umgeben. Jeder Chip gehört beispielsweise zu einem Einbauplatz auf dem Panel. Dabei sind die Chips auf die gleiche Art mit einer dielektrischen Schicht AB verkapselt.

25 Da die dielektrische Schicht AB in der Regel keinen hermetischen Abschluß ermöglicht, wird durch eine weitere hermetische Schicht ME die Hermetizität hergestellt. Dazu soll die hermetische Schicht, insbesondere eine Metallschicht, z. B. eine Cu-Schicht, welche mit der dielektrischen Schicht einen Verbund bildet, im Bereich zwischen den Einbauplätzen mit dem Trägersubstrat abschließen. Aus diesem Grund wird die dielektrische Schicht an diesen Stellen entfernt.

Die Entlastung der elektrisch leitenden Verbindungen wird hier dadurch erreicht, daß die Zwischenräume zwischen den verkapselten Chips mit einer Vergußmasse VM (z. B. Harz oder 5 Glob-Top) mit einem geeigneten Ausdehnungskoeffizient zumindest teilweise ausgefüllt werden. Das Material und die Höhe dieser Füllung werden so ausgewählt, daß der (verglichen mit dem der Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen) höhere Ausdehnungskoeffizient der dielektrischen 10 Schicht AB kompensiert wird, und daß der Ausdehnungskoeffizient des Verbunds der Vergußmasse, der dielektrischen Schicht und der Metallschicht ME im Bereich zwischen der Oberseite des Trägersubstrats und der Chipunterkante an den Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen 15 angepaßt ist. Nach dem Aushärten der Vergußmasse VM kann das großflächige Trägersubstrat mit den darauf an entsprechenden einzelnen Einbauplätzen angeordneten Chips in einzelne Bauteile vereinzelt und insbesondere zersägt werden. Die vereinzelten Bauteile können einen Chip oder mehrere Chips 20 enthalten.

In dem in Figur 5b gezeigten Ausführungsbeispiel sind die Chips wie oben beschrieben verkapselt und auf dem großflächigen Trägersubstrat TS angeordnet, wobei das Trägersubstrat 25 später in einzelne Bauteile zerteilt, beispielsweise zersägt wird. In Figur 5b wird die Entlastung der elektrisch leitenden Verbindungen wie in Figur 5a durch die Vergußmasse VM und zusätzlich durch das Stützelement SE erreicht.

30 In einem bevorzugten Ausführungsbeispiel wird die Vergußmasse VM bis zur Chipoberkante aufgefüllt, um ein (nach dem Vereinzeln durch Zersägen) quaderförmiges Bauelement zu erhalten, welches bei der späteren SMD-Montage leicht bestückt werden kann.

35

In Figuren 6a und 6b ist eine weitere vorteilhafte Ausführungsform der Erfindung gezeigt.

Bei einem sprunghaften Temperaturwechsel erfahren der Chip, das Trägersubstrat, die dielektrische Schicht, die Metallschicht und die elektrisch leitenden Verbindungen (z. B. 5 Bumps) unterschiedliche Ausdehnungen aufgrund der unterschiedlichen und z. T. auch richtungsabhängigen thermischen Ausdehnungskoeffizienten. Die auftretenden mechanischen Spannungen, insbesondere die Scherspannungen, müssen vor allem die elektrisch leitenden Verbindungen (Bumps) aushalten. Die 10 Simulation des erfindungsgemäßen Bauelements zeigt, daß in einem Bump mit dem Durchmesser von ca. 180 µm ab einer auf ihn wirkenden Scherkraft von etwa 2 N Risse hervorgerufen werden, die zur Beeinträchtigung der Funktion des Bauelements und sogar zum Abriß des Bumps von der UBM (Außenelektroden AE 15 auf der Seite des Chips bzw. Anschlußflächen AF auf der Seite des Trägersubstrats) führen können.

Es ist möglich, die Temperaturwechselbeständigkeit des erfindungsgemäßen Bauelements zu erhöhen, indem die Chipdicke ent- 20 weder so gering ausgewählt wird oder durch Dünnen des Chips dermaßen reduziert wird, daß die für das Durchbiegen des Chips CH notwendige Kraft im ganzen spezifizierten Temperaturbereich (z. B. -60°C bis +85°C) deutlich kleiner ist als die für einen Abriss der elektrisch leitenden Verbindungen BU 25 von der UBM bzw. der Anschlußfläche AF oder die für die Entstehung von Bumprissen ausreichende Kraft (z. B. 2 N pro Bump). Der genaue Wert der Chipdicke hängt vom Verhältnis der Ausdehnungskoeffizienten der dielektrischen Schicht AB und der Metallschicht ME, des Chips CH, der elektrisch leitenden 30 Verbindungen BU, des Trägersubstrats TS und von geometrischen Faktoren (z. B. Chipgröße, Größe der elektrisch leitenden Verbindungen oder der Abstand zwischen den elektrisch leitenden Verbindungen) ab und kann per Simulation ermittelt werden.

35

In einem vorteilhaften in Figur 6c gezeigten Ausführungsbeispiel ist der Chip CH1 aus Lithiumtantalat (mit einem rich-

tungsabhängigen thermischen Ausdehnungskoeffizienten von ca. 7,0 – 14,3 ppm/K) der Breite $a = 1,2$ mm und der Länge $b = 1,8$ mm mit einem hier nicht dargestellten Trägersubstrat der Breite 2 mm und der Länge 2,5 mm (mit dem thermischen Ausdehnungskoeffizienten von 6,3 ppm/K) mittels sechs Bumps B11 aus SnAg(3,5)Cu(0,8) (mit einem thermischen Ausdehnungskoeffizienten von 20,0 ppm) der Höhe 50 μm verbunden. Die Bumps sind im gleichen Abstand in zwei parallelen Reihen zu je 3 Bumps entlang der längeren Chipkante angeordnet. Der Abstand $L1$ der Bumps in einer Reihe beträgt 800 μm . Der Abstand $L2$ zwischen den Reihen beträgt 900 μm . Die Abdeckung des Chips besteht aus einer 50 μm dicken Folie (mit einem thermischen Ausdehnungskoeffizienten von 130,0 ppm/K im relevanten Temperaturbereich) und einer darüber angeordneten 20 μm dicken Cu-Schicht, die einen Ausdehnungskoeffizienten von 17,1 ppm/K aufweist. Numerische Simulationen des Ausdehnungsverhaltens für den relevanten Temperaturbereich haben ergeben, daß die pro Bump auftretende resultierende Kraft bei einer Chipdicke < 250 μm unterhalb von 2 Newton ist.

20

Dünnen des Chips

In einer vorteilhaften Variante der Erfindung wird der Chip gedünnt, um Entlastung der elektrisch leitenden Verbindungen zu erreichen. Es ist möglich, dafür ein DBG-Verfahren (Dicing Before Grinding) einzusetzen. Dabei werden die noch nicht vereinzelten Chips im Wafer-Stadium, also vor dem Verlöten mit dem Trägersubstrat gedünnt. Zuerst wird eine Oberfläche des Wafers (hier Unterseite genannt) entlang der vorgesehenen Sägelinien angesägt oder anderweitig strukturiert. Die Tiefe der Sägespur bzw. der Strukturvertiefung ist kleiner als die Dicke des Wafers und vorzugsweise gleich groß oder etwas größer als die erzielte, nach dem Dünnen verbleibende Chipdicke. Anschließend wird das Material auf der Oberseite des Wafers teilweise abgetragen, wobei gleichzeitig die Chips auf dem angesägten und gedünnten Wafer vereinzelt werden.

Die Chips können auch nach dem Auflöten gedünnt werden, um den oben angegebenen Zweck zu erreichen. Der eine Dicke von zirka 250 μm oder mehr aufweisende Chip kann dabei bis auf eine Stärke von 50 bis 100 μm gedünnt werden. Zum Dünnen ist 5 insbesondere ein Partikelstrahl mit Aluminiumoxidpartikeln eines Durchmessers $< 50 \mu\text{m}$ geeignet. Möglich ist es auch, den Chip abzuschleifen. Vor dem Bearbeiten mit dem Partikelstrahl können mittels einer weichen Resistmaske, beispielsweise einer Fotolackmaske die Bereiche abgedeckt werden, bei denen 10 ein Abtrag verhindert werden soll. Möglich ist es jedoch auch, gleichzeitig mit dem Dünnen des Chips Bereiche des Trägersubstrats zu entfernen oder dieses gar mittels des Strahlverfahrens vollständig zu durchtrennen. In diesem Fall kann es erforderlich sein, den Chip vorher ebenfalls mit einer 15 Maske abzudecken.

In einer vorteilhaften Variante der Erfindung ist es möglich, die noch nicht vereinzelten Chips wie oben angegeben auf dem Wafer vorzudünnen und sie nach dem Auflöten weiter mit einem 20 Strahlverfahren (z. B. Sandstrahl) zu dünnen, um insbesondere Abrundung der Kanten zu erreichen, was beispielsweise beim Aufbringen einer Folienabdeckung erwünscht ist.

Figur 7 zeigt eine alternative Ausführungsform der Erfindung. 25 Dabei wird ein als ein Lotrahmen ausgebildetes Stützelement SE auf dem Trägersubstrat vor dem Aufsetzen des Chips CH erzeugt. Dazu wird zunächst eine Metallisierung (Bezugszeichen AE) ähnlich einer Underbumpmetallisierung (UBM) auf dem Trägersubstrat an den für den Lotrahmen vorgesehenen Stellen erzeugt. Der Lotrahmen kann dann durch Aufdrucken, galvanische 30 Verstärkung der UBM oder ebenfalls als rahmenförmiges Stück Lotfolie aufgebracht werden. Bei dieser Ausführung werden die Seitenkanten des Chips so abgeschrägt, daß der Chip sich zur Oberfläche mit den (evtl. im späteren Prozeßschritt aufzutragenden) elektrisch leitenden Strukturen (genannt Chipunterseite) hin verjüngt. Dann wird er an den schrägen Seitenflächen metallisiert. Vorzugsweise erfolgt die Metallisierung 35

der Seitenflächen im gleichen Prozeßschritt wie die Erzeugung der elektrisch leitenden Strukturen und der UBM auf der Chipunterseite. Die Seitenfläche des Chips kann außerdem z. B. mit einer Ti/Cu-Schicht bedampft werden, wobei die leitenden 5 Strukturen an der Chipunterseite mit einem Fotolack geschützt werden können.

Neben den elektrisch leitenden Strukturen weist die Chipunterseite Außenelektroden AE, eine Kontaktmetallisierung KM 10 und am unteren Chiprand angeordnete isolierende nicht benetzende Strukturen IS auf. Die isolierenden Strukturen verhindern einen Kurzschluß zwischen den Außenelektroden AE und der Kontaktmetallisierung KM. Sie können aus Kunststoff oder Lötstopplack strukturiert werden oder durch Passivierung der Metallstrukturen erzeugt werden. Bei einem ausreichend großen 15 Abstand zwischen den Außenelektroden AE und der Kontaktmetallisierung KM kann auf die isolierende Schicht IS verzichtet werden.

20 Die Chipoberseite kann zu Abschirmzwecken zusätzlich mit einer Metallschicht versehen werden.

In diesem Ausführungsbeispiel befinden sich die elektrisch leitenden Verbindungen (Bumps) vor dem Aufsetzen des Chips 25 auf der Oberseite des Trägersubstrats TS. Der Chip kann dann so auf das Trägersubstrat aufgesetzt werden, siehe Figur 7b, daß er mit den abgeschrägten Seitenkanten über dem Lotrahmen angeordnet ist und durch die elektrisch leitenden Verbindungen (Bumps) von unten gestützt wird. Die Rahmenhöhe und die 30 Höhe der elektrisch leitenden Verbindung (Bumphöhe) werden so ausgewählt, daß durch das Kollabieren der Lötmasse bzw. der Bumps während des Verlöten der Chip in Kontakt mit dem Lotrahmen gebracht wird. Beim Verlöten kommt eine Lotverbindung des Lotrahmens zu den Kontaktmetallisierungen KM an den 35 Seitenkanten des Chips zustande (Bezugszeichen AB, SE in der Figur 7c), wobei die Lotverbindung zu einem hermetischen Abschluß zwischen dem Chip und dem Trägersubstrat dient und wo-

bei nach dem Verlöten die Abdichtung AB durch den Lotrahmen gebildet ist.

Es ist möglich, anstelle des Chips mit den schrägen Seitenflächen einen Chip zu verwenden, dessen Seitenflächen zumindest eine Stufe aufweisen, so daß der Chip im Querschnitt etwa T-förmig ist. In diesem Fall kann die (teilweise) Metallierung der Chipseitenflächen auf der Stufe und im gleichen Prozeßschritt wie die Erzeugung der elektrisch leitenden Strukturen und der UBM auf der Chipunterseite erfolgen.

In einem weiteren Ausführungsbeispiel des erfindungsgemäßen Bauelements weist ein als Rahmen ausgebildetes Stützelement ein Schrumpfverhalten auf, so daß der Rahmen nach einer Temperaturbeanspruchung dicht am Chip anliegt. In diesem Fall kann auf die weitere Abdichtung verzichtet werden und das Bauteil kann gleich durch eine hermetisch dichte Schicht, insbesondere eine Metallschicht (z.B. durch eine Cu-Sputterschicht, die galvanisch verstärkt wird) verschlossen werden, wobei die hermetisch dichte Schicht die Chipoberseite und den Schrumpfrahmen überdeckt und mit dem Trägersubstrat abschließt. Der Rahmen kann einseitig mit einer lötfähigen Schicht oder mit einer Klebeschicht versehen werden, die den Rahmen mit dem Trägersubstrat verbindet.

25

Die Erfindung wurde nur anhand weniger wichtiger Ausführungsbeispiele dargestellt, ist aber nicht auf diese beschränkt. Weitere Varianten des erfindungsgemäßen Bauelements beziehungsweise des Verfahrens zu seiner Herstellung liegen insbesondere in anderen geometrischen Ausgestaltungen, anderen zu verwendenden Materialien oder im Einsatz analoger Prozesse, mit denen die gleichen Wirkungen erzielt werden können. Wesentlich bleibt jedoch die Abdichtung zwischen dem Chip und dem Stützelement oder Trägersubstrat und Vorrichtungen oder Maßnahmen, mit welchen die erfindungsgemäße Entlastung der elektrisch leitenden Verbindungen erzielt werden kann.

Mit dem erfindungsgemäßen Verfahren können vorzugsweise mehrere Chips parallel auf einem entsprechend großflächigen Trägersubstrat aufgebracht, angeschlossen und verkapselt werden. Zwischen einzelnen Chips kann anschließend das Trägersubstrat 5 durchtrennt werden, um einzelne Bauelemente oder Gruppen von miteinander zu Modulen verschalteten Bauelemente zu vereinzeln. Das Auftrennen und Vereinzeln kann mit einem Strahlprozeß oder durch Sägen erfolgen. Oberflächenschichten und insbesondere zu durchtrennende Metallisierungen können dabei 10 vorher ggf. strukturiert und dazu naßchemisch oder durch Plasmaätzen entfernt werden.

Patentansprüche

1. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist, und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,
- ein Stützelement (SE) zur Entlastung der elektrisch leitenden Verbindungen, welches auf der Oberseite des Trägersubstrats angeordnet ist und den Chip umläuft, ohne ihn zu berühren,
- eine Abdichtung (AB), welche den Chip umgibt und zumindest den Raum zwischen dem Stützelement und dem genannten Chip dicht abschließt, wobei die Abdichtung sich an diesem Stützelement abstützt.

2. Bauelement nach Anspruch 1,

bei dem die elektrisch leitenden Verbindungen Bumps sind.

25 3. Bauelement nach Anspruch 1 oder 2,

bei dem die Abdichtung (AB) als dielektrische Schicht ausgebildet ist, welche zusätzlich die Chipoberseite überdeckt.

30 4. Bauelement nach Anspruch 3,

bei dem die dielektrische Schicht aus einer oder mehreren Schichten besteht.

5. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,

5 wobei auf der Chipoberseite ein Verbund aus einer dielektrischen Schicht und einer darüber liegenden Metallschicht angeordnet ist, wobei dieser Verbund außerhalb der Chipfläche mit dem Trägersubstrat abschließt und wobei die Chipdicke so ausgewählt ist, daß die durch thermische Ausdehnung des genannten Verbundes auftretenden Kräfte im Temperaturbereich zwischen -60°C und 85°C pro eine elektrisch leitende Verbindung oder Bump maximal 2 Newton betragen.

10

15

20

6. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,

25

30

35

40

45

50

55

60

65

70

75

80

85

90

95

100

105

110

115

120

125

130

135

140

145

150

155

160

165

170

175

180

185

190

195

200

205

210

215

220

225

230

235

240

245

250

255

260

265

270

275

280

285

290

295

300

305

310

315

320

325

330

335

340

345

350

355

360

365

370

375

380

385

390

395

400

405

410

415

420

425

430

435

440

445

450

455

460

465

470

475

480

485

490

495

500

505

510

515

520

525

530

535

540

545

550

555

560

565

570

575

580

585

590

595

600

605

610

615

620

625

630

635

640

645

650

655

660

665

670

675

680

685

690

695

700

705

710

715

720

725

730

735

740

745

750

755

760

765

770

775

780

785

790

795

800

805

810

815

820

825

830

835

840

845

850

855

860

865

870

875

880

885

890

895

900

905

910

915

920

925

930

935

940

945

950

955

960

965

970

975

980

985

990

995

1000

schicht angeordnet ist, wobei dieser Verbund außerhalb der Chipfläche mit dem Trägersubstrat abschließt und

- wobei die dielektrische Schicht ein Elastizitätsmodul kleiner als 1 Gpa, eine Dicke weniger als 20 μm oder einen thermischen Ausdehnungskoeffizienten aufweist, der 5
größer als $\alpha_{\text{Bump}}/2$ und kleiner als $2 \alpha_{\text{Bump}}$ ist, wobei α_{Bump} der thermische Ausdehnungskoeffizient der elektrisch leitenden Verbindungen (BU) ist.

10 7. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in 15
Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wo-
bei die Anschlußflächen (AF) mit den elektrisch leiten-
den Strukturen des Chips mittels elektrisch leitender
Verbindungen (BU) elektrisch verbunden sind,
- ein auf der Oberseite des Trägersubstrats angeordnetes 20
als Schrumpfrahmen ausgebildetes Stützelement, welcher
den Chip umläuft und diesen dicht umschließt.

8. Bauelement nach Anspruch 7,

25 bei dem eine Metallschicht vorgesehen ist, welche die Chipoberseite und den Schrumpfrahmen bedeckt und mit dem Trägersubstrat abschließt.

9. Bauelement nach einem der Ansprüche 1 bis 8,

30 bei dem die Seitenflächen des Chips (CH) angeschrägt sind, so daß sich der Querschnitt des Chips zum Träger-
substrat (TS) hin verjüngt.

10. Bauelement nach einem der Ansprüche 1 bis 9,
· bei dem die Seitenflächen des Chips (CH) zumindest eine
Stufe aufweisen.

5 11. Bauelement nach einem der Ansprüche 1, 2, 9 oder 10,
bei dem die Abdichtung die Randbereiche des Chips und des
ihn umschließenden Stützelementes bedeckt, wobei die Chi-
poberseite von der Abdichtung nicht bedeckt ist.

10 12. Bauelement nach einem der Ansprüche 1, 2 oder 9 bis 11,
bei dem eine auf der Chipoberseite, auf der Abdichtung
(AB) und auf an die Abdichtung angrenzenden, von dieser
unbedeckten Randbereichen des Stützelementes und/oder des
Trägersubstrats angeordnete Metallschicht (ME) vorgesehen
15 ist.

13. Bauelement nach einem der Ansprüche 3, 4, 9 oder 10,
bei dem die dielektrische Schicht (AB) den Chip (CH) zu-
sammen mit dem ihn umlaufenden Stützelement (SE) voll-
20 ständig überdeckt, wobei diese dielektrische Schicht auf
der Chipoberseite und auf dem Stützelement aufliegt und
erst außerhalb des Stützelementes mit dem Trägersubstrat
abschließt, so daß sich der Chip zusammen mit dem ihn um-
laufenden Stützelement in einem gemeinsamen Hohlraum be-
25 finden, der zwischen der dielektrischen Schicht und der
Oberseite des Trägersubstrats ausgebildet ist.

14. Bauelement nach einem der Ansprüche 3, 4, 9 oder 10,
bei dem die dielektrische Schicht (AB) die Chipoberseite
30 vollständig überdeckt und mit dem Stützelement dicht ab-
schließt, wobei das Stützelement aus einem hermetisch
dichten Material ist.

15. Bauelement nach einem der Ansprüche 3 bis 6, 9, 10, 13 oder 14,

bei dem eine Metallschicht (ME) vorgesehen ist, die zumindest die dielektrischen Schicht bedeckt und mit dieser 5 einen Verbund bildet.

16. Bauelement nach einem der Ansprüche 3 bis 6, 9, 10 oder 13 bis 15,

10 bei dem eine Vergußmasse auf der dielektrischen Schicht oder auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des Chips aufliegt.

17. Bauelement nach Anspruch 16,

15 bei dem die Metallschicht außerhalb der Chipfläche mit dem Stützelement oder außerhalb des Stützelementes mit dem Trägersubstrat abschließt.

18. Bauelement nach Anspruch 9 oder 10,

20 bei dem an den dem Trägersubstrat (TS) zugewandten oder angeschrägten Seitenflächen des Chips eine Kontaktmetallisierung (KM) vorgesehen ist,

bei dem das Stützelement (SE) als Lotrahmen auf der Oberseite des Trägersubstrats ausgebildet ist, wobei das Stützelement mit der Kontaktmetallisierung des Chips ver- 25 lötet ist und wobei die Abdichtung (AB) durch den Lotrahmen gebildet ist.

19. Bauelement nach Anspruch 18,

30 bei dem die Chipoberseite mit einer Metallschicht versehen ist.

20. Bauelement nach zumindest einem der Ansprüche 1, 2, 11 oder 12,

35 bei dem die Abdichtung aus einem dielektrischen Material ist.

21. Bauelement nach Anspruch 20,
bei dem die Abdichtung aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem Glaslot oder einem Harz ist.

5

22. Bauelement nach einem der Ansprüche 3, 4, 9, 10, 13 bis 17,
bei dem die dielektrische Schicht aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem
10 Glaslot oder einem Harz besteht.

10

23. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 22,
bei dem das Stützelement aus Metall, einem keramischen
15 Material oder Kunststoff ist.

15

24. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 22,
bei dem das Stützelement die Begrenzung einer auf dem
20 Trägersubstrat vorgesehenen Vertiefung ist.

20

25. Bauelement nach zumindest einem der Ansprüche 1 bis 4 oder 9 bis 24,
bei dem die Höhe des Stützelementes den Abstand zwischen
25 der Oberseite des Trägersubstrats und der Chipunterkante nicht übersteigt, wobei der innere Rand des Stützelementes bis unter die zum Trägersubstrat weisende Chipkante reicht.

30

26. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 24,
bei dem die Höhe des Stützelementes gleich dem Abstand zwischen der Oberseite des Trägersubstrats und der Chipunterkante ist oder diesen Abstand übersteigt.

35

27. Bauelement nach zumindest einem der Ansprüche 1 bis 26,
bei dem das Trägersubstrat (TS) eine LTCC-Keramik - Low
Temperature Cofired Ceramic - ist.

5 28. Bauelement nach einem der Ansprüche 1 bis 27,
bei dem an der Unterseite des Trägersubstrats (TS) SMD
fähige Außenkontakte (AK) vorgesehen sind.

10 29. Bauelement nach einem der Ansprüche 1 bis 28,
bei dem das Trägersubstrat (TS) zumindest zwei dielektri-
sche Schichten umfaßt.

15 30. Bauelement nach einem der Ansprüche 1 bis 29,
bei dem der Chip (CH) zumindest einen mit akustischen
Oberflächenwellen oder akustischen Volumenwellen arbei-
tenden Resonator enthält.

20 31. Bauelement nach einem der Ansprüche 1 bis 30,
das mehrere gleiche oder verschiedene Chips umfaßt, wobei
die Chips auf dem Trägersubstrat (TS) in der gleichen
Weise befestigt und verkapselt sind.

25 32. Verfahren zur Herstellung eines verkapselten Bauelements,
- bei dem ein sich zur elektrisch leitende Strukturen tra-
genden Oberfläche verjüngender Chip mit angeschrägten
Seitenflächen oder ein Chip mit Seitenflächen, die zu-
mindest eine Stufe aufweisen, verwendet wird, wobei die
Seitenflächen des Chips eine Kontaktmetallisierung auf-
weisen,

30 - bei dem auf der Oberseite eines Trägersubstrats eine Me-
tallisierung zum Aufsetzen eines Lotrahmens vorgesehen
wird,

35 - bei dem der Lotrahmen auf dem Trägersubstrat erzeugt
wird,

- bei dem der Chip auf dem Trägersubstrat aufgesetzt und
mit diesem in Flip-Chip-Bauweise verlötet wird,

- bei dem der Lotrahmen mit den Kontaktmetallisierungen an den Seitenflächen des Chips verlötet wird.

33. Verfahren nach Anspruch 32,

5 bei dem vor dem Verlöten des Chips mit dem Lotrahmen auf den Chip zwischen der Kontaktmetallierung der Seitenflächen und den elektrisch leitenden Strukturen isolierende nicht benetzbare Strukturen IS aufgetragen werden.

10 34. Verfahren nach Anspruch 32 oder 33,

 bei dem auf der Chipoberseite eine Metallschicht aufgetragen wird.

35. Verfahren zur Herstellung eines verkapselten Bauelements,

15 - bei dem ein Chip verwendet wird, welcher eine Oberfläche mit elektrisch leitenden Strukturen aufweist,

 - bei dem ein Substrat verwendet wird, welcher auf der Oberseite Anschlußflächen zum Ankontaktieren des Chips und einen Rahmen mit einem Schrumpfverhalten aufweist,

20 - bei dem der Chip mit dem Trägersubstrat in Flip-Chip-Bauweise verlötet wird,

 - bei dem der Rahmen vor dem Aufsetzen des Chips auf dem Trägersubstrat erzeugt wird,

 - bei dem der Rahmen durch Temperaturbehandlung so geschrumpft wird, daß er den Chip dicht umschließt,

25 - bei dem eine Metallschicht erzeugt wird, welche die Chipoberseite und den Schrumpfrahmen vollständig bedeckt.

36. Verfahren nach Anspruch 35,

30 - bei dem der Rahmen einseitig mit einer lötfähigen Schicht oder mit einer Klebeschicht versehen wird,

 - bei dem der Rahmen mit dem Trägersubstrat mittels der genannten Schicht verbunden wird.

35 37. Verfahren zur Herstellung einer Verkapselung für ein elektrisches Bauelement mit folgenden Verfahrensschritten:

- zumindest zwei elektrisch leitende Strukturen tragende Chips (CH) werden auf einem Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) zur elektrischen Verbindung mit den elektrisch leitenden Strukturen des
5 Chips aufweist, in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) befestigt,
- die zumindest zwei Chips (CH) werden mit einer dielektrischen Schicht (AB), welche auf der Chipoberseite aufliegt und mit dem Trägersubstrat abschließt, überdeckt,
10 so daß jeder der zumindest zwei Chips auf diese Weise individuell verkapselt wird,
- der Zwischenraum zwischen den zumindest zwei Chips wird mit einer Vergußmasse (VM) gefüllt.

15 38. Verfahren nach Anspruch 37,

- bei dem auf der dielektrischen Schicht (AB) eine Metallschicht (ME) aufgetragen wird, die mit der dielektrischen Schicht einen Verbund bildet,
- bei dem die Vergußmasse (VM) auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des
20 Chips aufgetragen wird.

39. Verfahren nach Anspruch 37 oder 38,
bei dem das Trägersubstrat anschließend zersägt wird, so
25 daß einzelne Bauelemente entstehen, welche zumindest einen der genannten Chips umfassen.

FIG 1

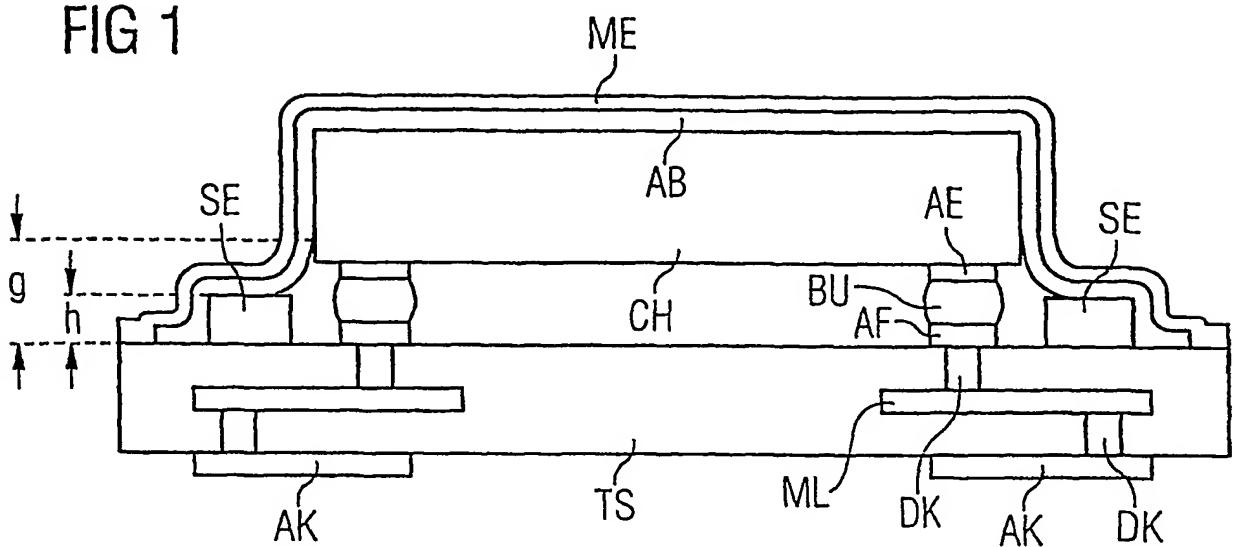


FIG 2

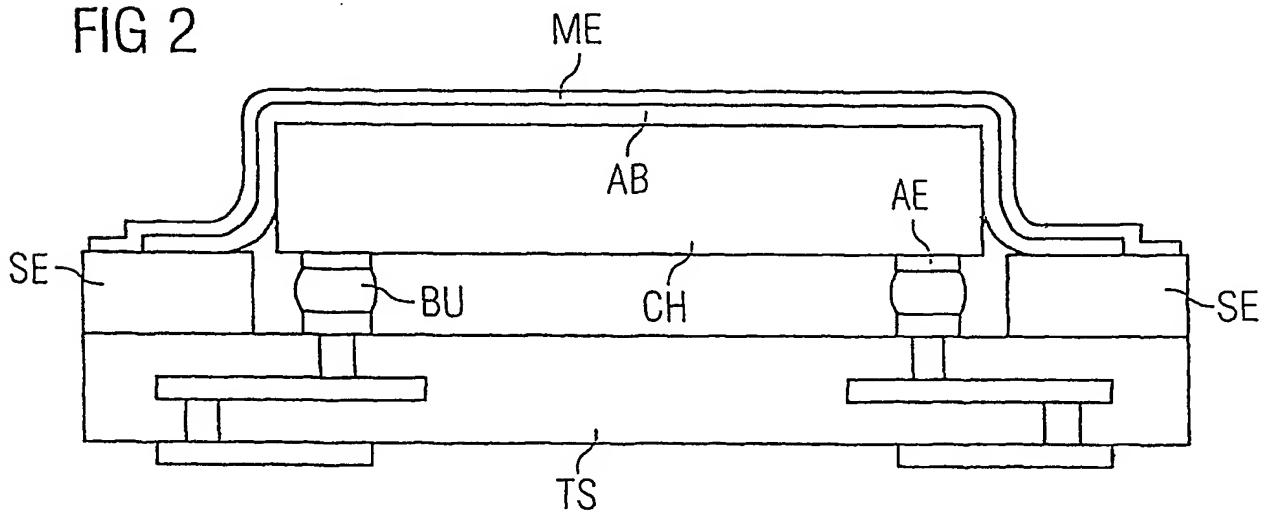


FIG 3

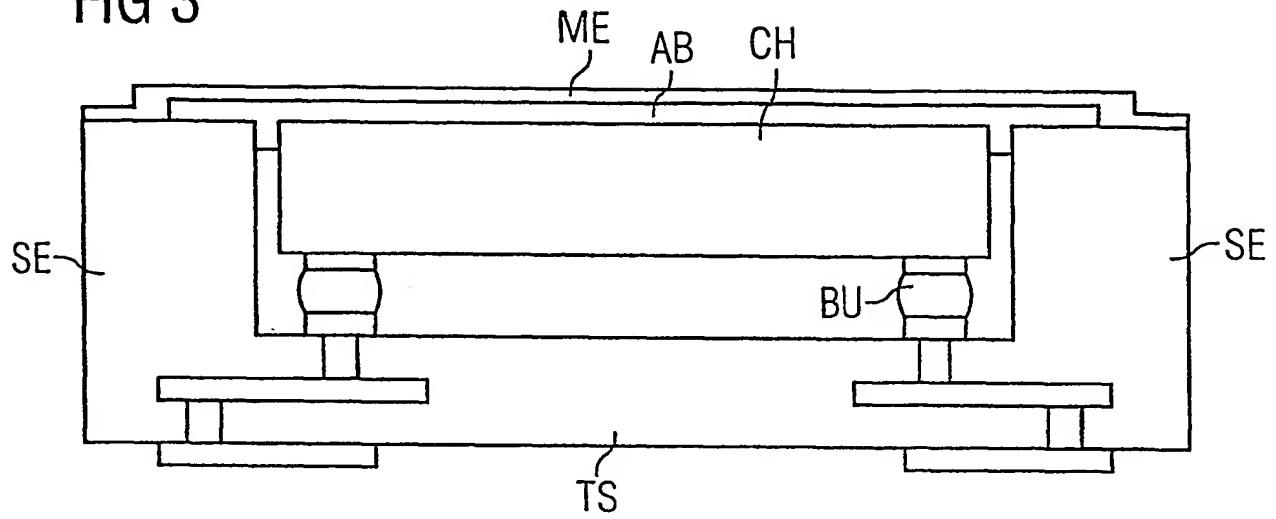


FIG 4

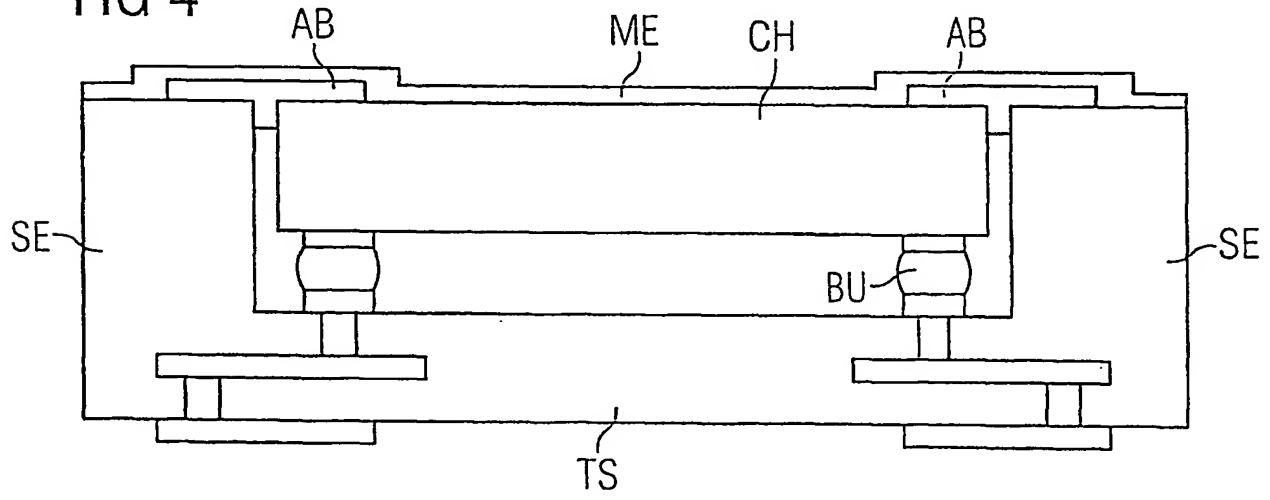


FIG 5A

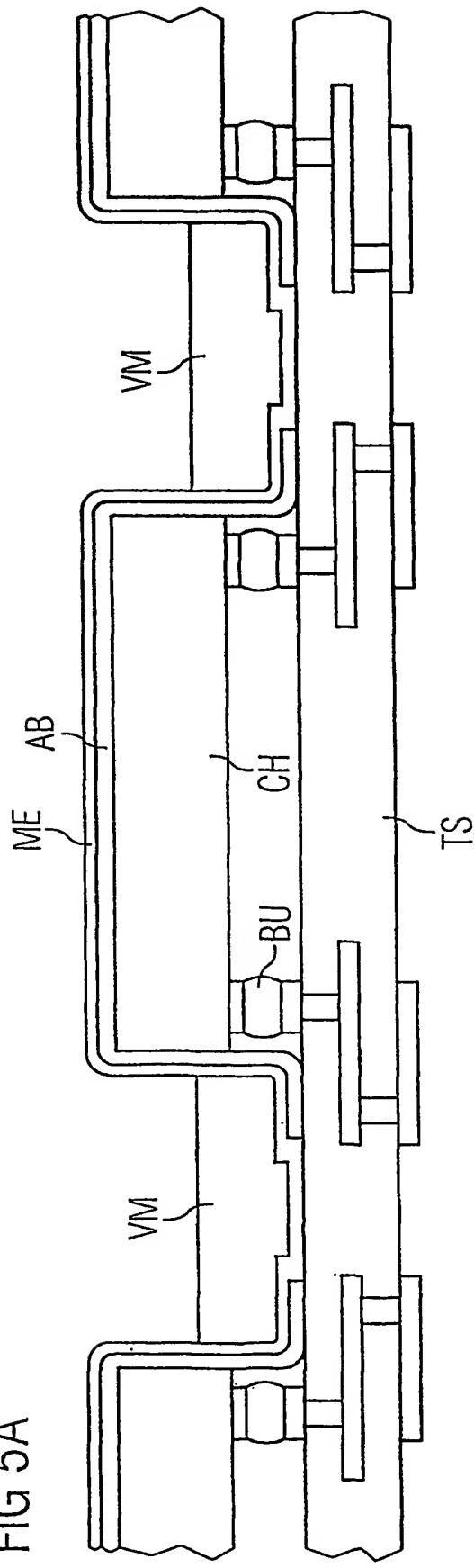


FIG 5B

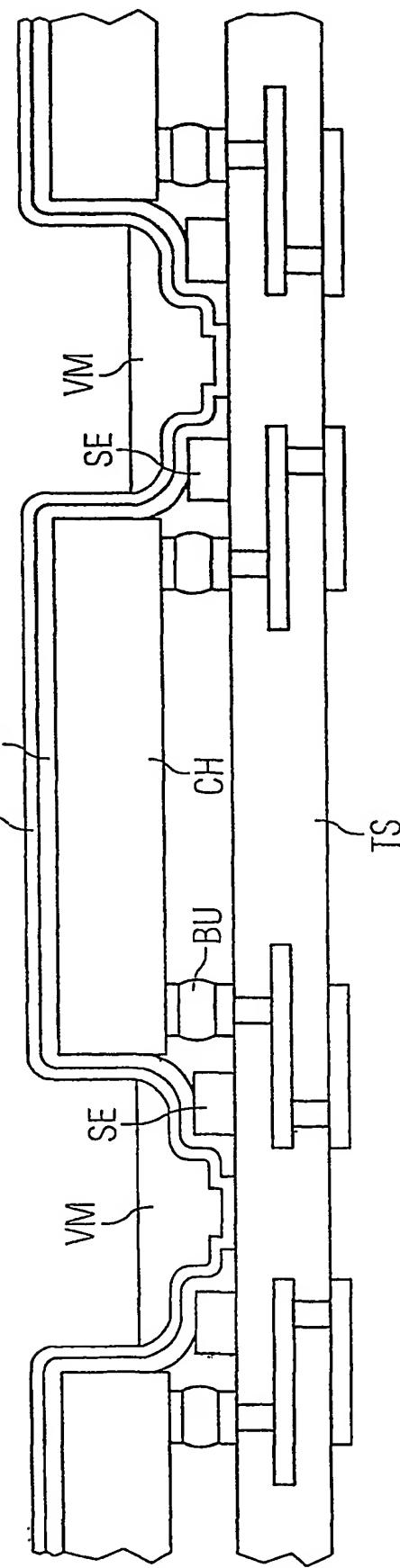


FIG 6A

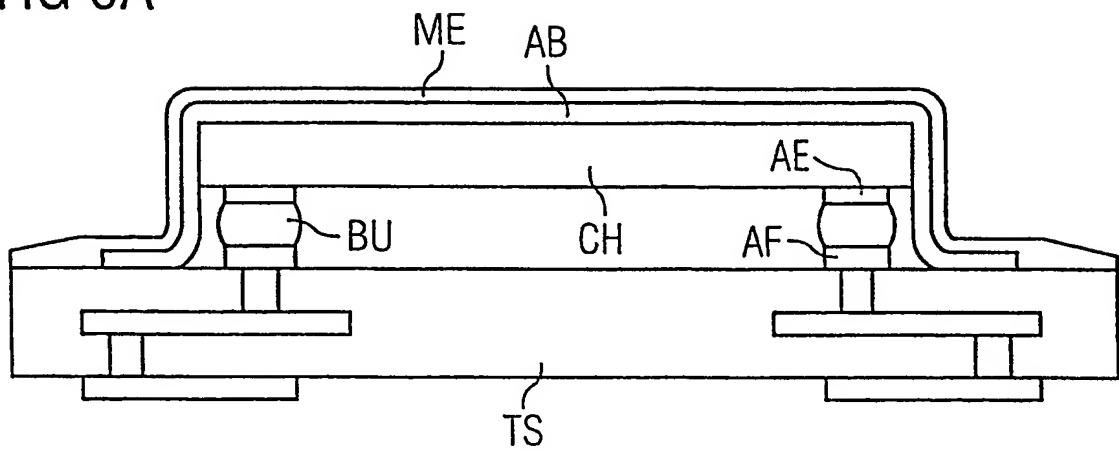
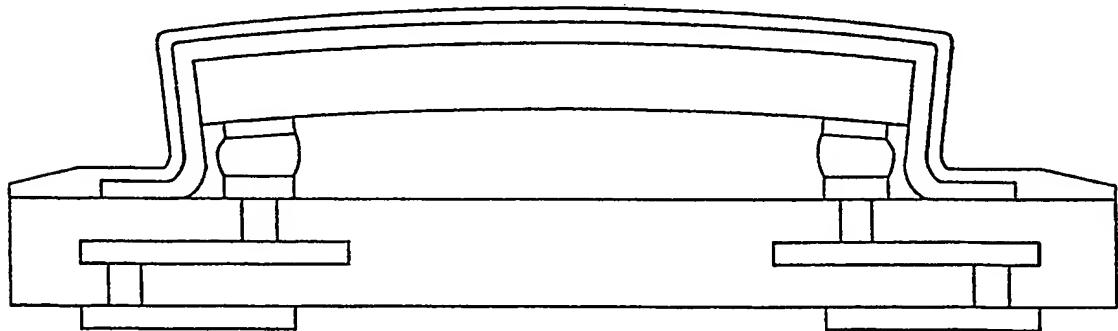


FIG 6B



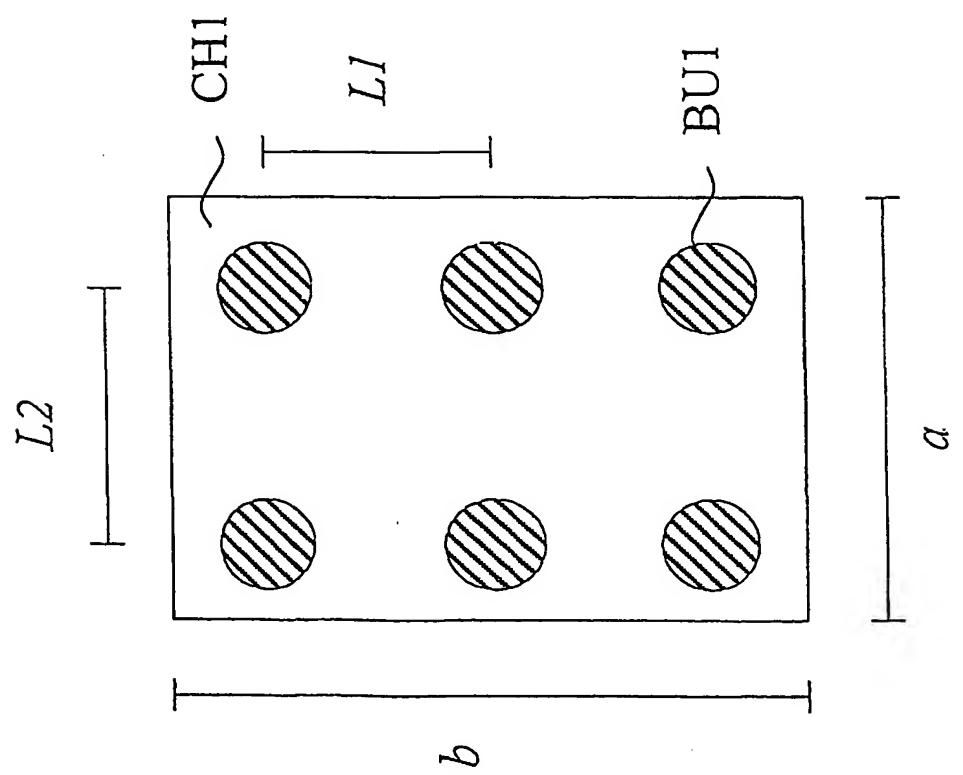


Fig. 6c

FIG 7A

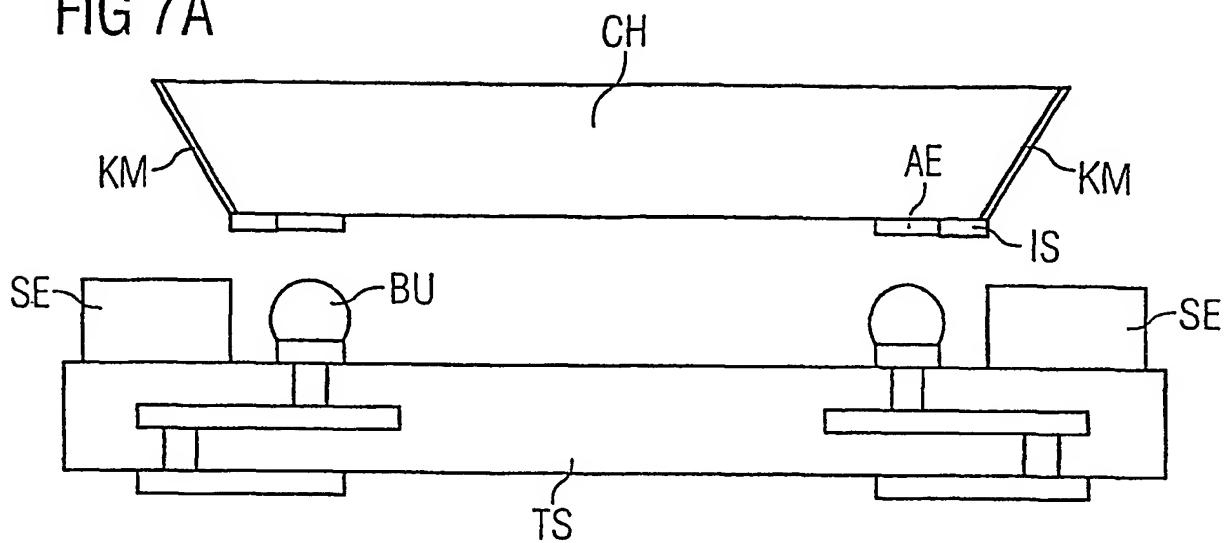


FIG 7B

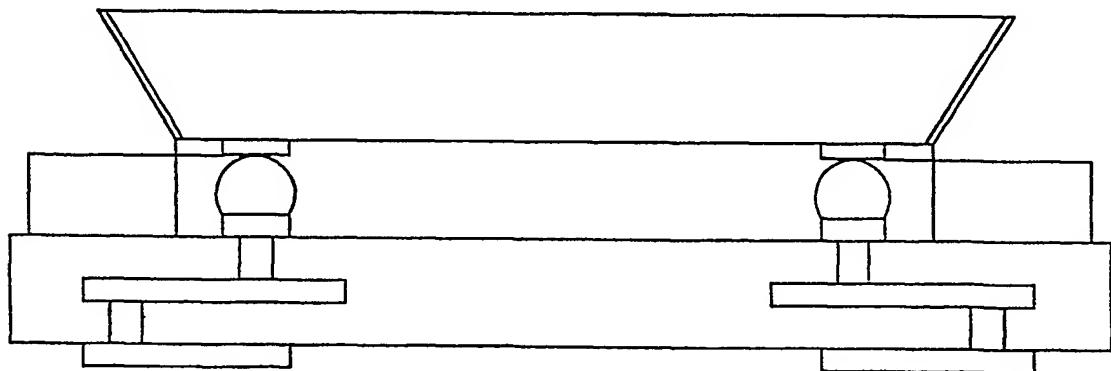
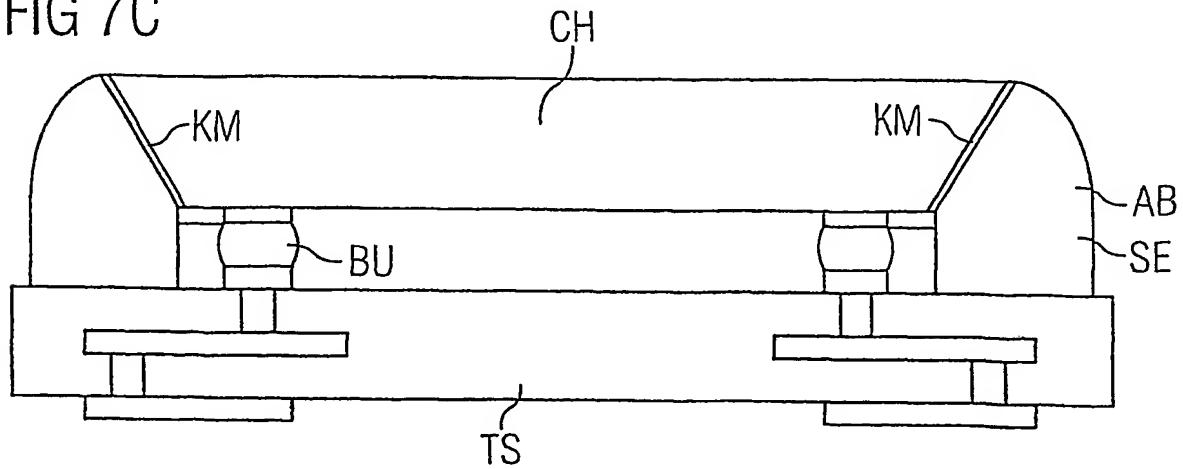


FIG 7C



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP03/06596

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03H9/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, IBM-TDB, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99 56390 A (SIEMENS MATSUSHITA COMPONENTS ;KRUEGER HANS (DE); STELZL ALOIS (DE) 4 November 1999 (1999-11-04) page 2, line 10-18 page 3, line 14 -page 4, line 17 claim 3 ---	1-4, 10, 12, 14-17, 20-31, 37-39
X	WO 99 43084 A (SIEMENS MATSUSHITA COMPONENTS ;DEMMER PETER (DE); KRUEGER HANS (DE) 26 August 1999 (1999-08-26) cited in the application page 3, line 5 -page 4, line 11 --- -/-	1-4, 13-15, 20-31

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

T later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the International search

Date of mailing of the International search report

2 December 2003

20/01/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl
Fax: (+31-70) 340-3016

Authorized officer

Radomirescu, B-M

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP/06596

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, vol. 2 OF 2, 7 October 2001 (2001-10-07), pages 283-292, XP010584527 ISBN: 0-7803-7177-1 figure 5 ---	1-4, 24, 26, 27, 30, 31
X	FR 2 799 883 A (THOMSON CSF) 20 April 2001 (2001-04-20) page 4, line 7 -page 5, line 29 figure 4A ---	5, 6, 15-17, 22, 27-31, 37-39
X	EP 0 742 643 A (MATSUSHITA ELECTRIC IND CO LTD) 13 November 1996 (1996-11-13) column 6, line 53 -column 7, line 5 ---	7
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 03, 31 March 1999 (1999-03-31) & JP 10 321666 A (NEC CORP), 4 December 1998 (1998-12-04) abstract; figures 1-4 ---	7
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 11, 26 December 1995 (1995-12-26) & JP 07 212181 A (TOYO COMMUN EQUIP CO LTD), 11 August 1995 (1995-08-11) abstract ---	7, 8
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 11, 26 December 1995 (1995-12-26) & JP 07 212180 A (TOYO COMMUN EQUIP CO LTD), 11 August 1995 (1995-08-11) abstract ---	1, 2, 11, 12, 23, 24, 26-28, 30, 31
A	BARTON E N ET AL: "Optimisation of the coating of a fibre optical sensor embedded in a cross-ply GFRP laminate" COMPOSITES PART A: APPLIED SCIENCE AND MANUFACTURING, ELSEVIER SCIENCE PUBLISHERS B.V., AMSTERDAM, NL, vol. 33, no. 1, January 2002 (2002-01), pages 27-34, XP004310108 ISSN: 1359-835X page 28, right-hand column, line 38-47 ---	6
		-/-

INTERNATIONAL SEARCH REPORT

Internal Application No
PCT/EP 93/06596

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 739 585 A (WOOD ALAN G ET AL) 14 April 1998 (1998-04-14) figures 4,5 -----	9,10,18, 19,32-34

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/EP03/06596**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: 5 (in part) because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
See Supplemental Sheet

3. Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See Supplemental Sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

The International Searching Authority has determined that this international application contains multiple (groups of) inventions, namely:

1. Claims: 1-4, 9-34, 37-39

Encapsulated electronic component in flip-chip arrangement with circumferential frame, and method for the production thereof.

2. Claims: 5, 9, 11-13, 18, 19, 27-29, 31

Encapsulated electronic component in flip-chip arrangement with optimum chip thickness, and method for the production thereof.

3. Claims: 6a, 9, 11-13, 18, 19, 27-29, 31

Encapsulated electronic component in flip-chip arrangement with optimum elasticity module, and method for the production thereof.

4. Claims: 6b, 9, 11-13, 18, 19, 27-29, 31

Encapsulated electronic component in flip-chip arrangement with optimum protective layer thickness, and method for the production thereof.

5. Claims: 6c, 9, 11-13, 18, 19, 27-29, 31

Encapsulated electronic component in flip-chip arrangement with optimum extensions coefficient, and method for the production thereof.

6. Claims: 7-9, 11-13, 18, 19, 27-29, 31, 35, 36

Encapsulated electronic component in flip-chip arrangement with support element designed as a shrink frame, and method for the production thereof.

Continuation of Box I.2

Claim: 5 (in part)

The current claim 5 relates to a component characterised by a desirable characteristic or property, namely

“the chip thickness being chosen such that the force arising from the thermal expansion of said composite in the temperature range from -60°C to 85 °C is maximally 2 newtons per electrically conducting connection or bump”.

Claim 5 therefore encompasses all products that have this characteristic or property, but the application provides support by the description (PCT Article 5) for only a limited number of such products. In the present case, the claim lacks the proper support and the application lacks the requisite disclosure to such an extent that it appears impossible to carry out a meaningful search covering the entire range of protection sought.

Moreover, the claim also lacks the requisite clarity (PCT Article 6) since it attempts to define the compounds by the result that is to be achieved. This lack of clarity too is such that it is impossible to carry out a meaningful search covering the entire range of protection sought. The search was therefore directed to the parts of the claims that appear to be clear, supported or disclosed in the above sense, as indicated on page 21, line 18 – page 22, line 19 of the description.

The applicant is advised that claims or parts of claims relating to inventions in respect of which no international search report has been established normally cannot be the subject of an international preliminary examination (PCT Rule 66.1(e)). In its capacity as International Preliminary Examining Authority the EPO generally will not carry out a preliminary examination for subjects that have not been searched. This also applies to cases where the claims were amended after receipt of the international search report (PCT Article 19) or where the applicant submits new claims in the course of the procedure under PCT Chapter II.

INTERNATIONAL SEARCH REPORT

Internal Application No
PCT/EP03/06596

Patent document cited in search report	Publication date		Patent family member(s)		Publication date
WO 9956390	A	04-11-1999	DE 19818824 A1 CA 2330039 A1 CN 1127202 B WO 9956390 A1 EP 1078451 A1 JP 2002513234 T US 6519822 B1		04-11-1999 04-11-1999 05-11-2003 04-11-1999 28-02-2001 08-05-2002 18-02-2003
WO 9943084	A	26-08-1999	DE 19806818 C1 CA 2321473 A1 CN 1127203 B WO 9943084 A1 DE 59903019 D1 EP 1055285 A1 JP 2002504773 T		04-11-1999 26-08-1999 05-11-2003 26-08-1999 14-11-2002 29-11-2000 12-02-2002
FR 2799883	A	20-04-2001	FR 2799883 A1 CA 2321360 A1 CN 1293485 A EP 1093159 A1 JP 2001176995 A US 6492194 B1		20-04-2001 15-04-2001 02-05-2001 18-04-2001 29-06-2001 10-12-2002
EP 0742643	A	13-11-1996	JP 3328102 B2 JP 8307197 A DE 69619297 D1 DE 69619297 T2 EP 0742643 A1 US 5991989 A US 5821665 A		24-09-2002 22-11-1996 28-03-2002 25-07-2002 13-11-1996 30-11-1999 13-10-1998
JP 10321666	A	04-12-1998	JP 2943764 B2		30-08-1999
JP 07212181	A	11-08-1995	NONE		
JP 07212180	A	11-08-1995	NONE		
US 5739585	A	14-04-1998	US 5674785 A US 6013948 A US 6235554 B1		07-10-1997 11-01-2000 22-05-2001

INTERNATIONALE RECHERCHENBERICHT

Internationale Aktenzeichen

PCT/EP03/06596

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03H9/10

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03H

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, IBM-TDB, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 99 56390 A (SIEMENS MATSUSHITA COMPONENTS ;KRUEGER HANS (DE); STELZL ALOIS (DE) 4. November 1999 (1999-11-04) Seite 2, Zeile 10-18 Seite 3, Zeile 14 -Seite 4, Zeile 17 Anspruch 3 ---	1-4, 10, 12, 14-17, 20-31, 37-39
X	WO 99 43084 A (SIEMENS MATSUSHITA COMPONENTS ;DEMMER PETER (DE); KRUEGER HANS (DE) 26. August 1999 (1999-08-26) in der Anmeldung erwähnt Seite 3, Zeile 5 -Seite 4, Zeile 11 --- -/-	1-4, 13-15, 20-31

 Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

2. Dezember 2003

20/01/2004

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Radomirescu, B-M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X	SELMEIER P ET AL: "Recent advances in SAW packaging" 2001 IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS. ATLANTA, GA, OCT. 7 - 10, 2001, IEEE ULTRASONICS SYMPOSIUM PROCEEDINGS, NEW YORK, NY: IEEE, US, Bd. 2 OF 2, 7. Oktober 2001 (2001-10-07), Seiten 283-292, XP010584527 ISBN: 0-7803-7177-1 Abbildung 5 ---	1-4, 24, 26, 27, 30, 31
X	FR 2 799 883 A (THOMSON CSF) 20. April 2001 (2001-04-20) Seite 4, Zeile 7 -Seite 5, Zeile 29 Abbildung 4A ---	5, 6, 15-17, 22, 27-31, 37-39
X	EP 0 742 643 A (MATSUSHITA ELECTRIC IND CO LTD) 13. November 1996 (1996-11-13) Spalte 6, Zeile 53 -Spalte 7, Zeile 5 ---	7
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 03, 31. März 1999 (1999-03-31) & JP 10 321666 A (NEC CORP), 4. Dezember 1998 (1998-12-04) Zusammenfassung; Abbildungen 1-4 ---	7
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 11, 26. Dezember 1995 (1995-12-26) & JP 07 212181 A (TOYO COMMUN EQUIP CO LTD), 11. August 1995 (1995-08-11) Zusammenfassung ---	7, 8
X	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 11, 26. Dezember 1995 (1995-12-26) & JP 07 212180 A (TOYO COMMUN EQUIP CO LTD), 11. August 1995 (1995-08-11) Zusammenfassung ---	1, 2, 11, 12, 23, 24, 26-28, 30, 31
A	BARTON E N ET AL: "Optimisation of the coating of a fibre optical sensor embedded in a cross-ply GFRP laminate" COMPOSITES PART A: APPLIED SCIENCE AND MANUFACTURING, ELSEVIER SCIENCE PUBLISHERS B.V., AMSTERDAM, NL, Bd. 33, Nr. 1, Januar 2002 (2002-01), Seiten 27-34, XP004310108 ISSN: 1359-835X Seite 28, rechte Spalte, Zeile 38-47 ---	6 -/-

INTERNATIONALES
SUCHERCHENBERICHTInternationales Aktenzeichen
PCT/EP 93/06596

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 739 585 A (WOOD ALAN G ET AL) 14. April 1998 (1998-04-14) Abbildungen 4,5 -----	9,10,18, 19,32-34

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 03/06596

Feld I Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. Ansprüche Nr. weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich

2. Ansprüche Nr. 5 (teilweise) weil sie sich auf Teile der Internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle Internationale Recherche nicht durchgeführt werden kann, nämlich
siehe Zusatzblatt WEITERE ANGABEN PCT/ISA/210

3. Ansprüche Nr. weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

Feld II Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. Da der Anmelder alle erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchengebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.

3. Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. Der Anmelder hat die erforderlichen zusätzlichen Recherchengebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:

Bemerkungen hinsichtlich eines Widerspruchs

Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
 Die Zahlung zusätzlicher Recherchengebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-4,9-34,37-39

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit umlaufenden Rahmen und Verfahren zu dessen Herstellung

2. Ansprüche: 5,9,11-13,18,19,27-29,31

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit optimaler Chipdicke und Verfahren zu dessen Herstellung

3. Ansprüche: 6a,9,11-13,18,19,27-29,31

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit optimalem Elastizitätsmodul und Verfahren zu dessen Herstellung

4. Ansprüche: 6b,9,11-13,18,19,27-29,31

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit optimaler Schutz-Schichtdicke und Verfahren zu dessen Herstellung

5. Ansprüche: 6c,9,11-13,18,19,27-29,31

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit optimalen Ausdehnungskoeffizienten und Verfahren zu dessen Herstellung

6. Ansprüche: 7-9,11-13,18,19,27-29,31,35,36

Verkapseltes elektronisches in Flip-Chip Anordnung Bauelement mit als Schrumpfrahmen ausgebildetem Stützelement und Verfahren zu dessen Herstellung

WEITERE ANGABEN

PCT/ISA/ 210

Fortsetzung von Feld I.2

Ansprüche Nr.: 5 (teilweise)

Der geltende Patentanspruch 5 bezieht sich auf ein Bauelement, jeweils charakterisiert durch eine erstrebenswerte Eigenheit oder Eigenschaft, nämlich

"wobei die Chipdicke so ausgewählt ist, dass die durch termische Ausdehnung des genannten Verbunden auftretenden Kräfte im Temperaturbereich zwischen -60°C und 85°C pro eine elektrische leitende Verbindung oder Bump maximal 2 Newton betragen."

Der Patentanspruch 5 umfasst daher alle Bauelemente, die diese Eigenheit oder Eigenschaft aufweisen, wohingegen die Patentanmeldung Stütze durch die Beschreibung im Sinne von Art. 5 PCT nur für eine begrenzte Zahl solcher Bauelemente liefert. Im vorliegenden Fall fehlen dem Patentanspruch die entsprechende Stütze bzw. der Patentanmeldung die nötige Offenbarung in einem solchen Maße, daß eine sinnvolle Recherche über den gesamten erstrebten Schutzbereich unmöglich erscheint.

Desungeachtet fehlt dem Patentanspruch auch die in Art. 6 PCT geforderte Klarheit, nachdem in ihm versucht wird, das Bauelement über das jeweils erstrebte Ergebnis zu definieren. Auch dieser Mangel an Klarheit ist dergestalt, daß er eine sinnvolle Recherche über den gesamten erstrebten Schutzbereich unmöglich macht. Daher wurde die Recherche auf die Teile des Patentanspruchs gerichtet, welche im o.a. Sinne als klar, gestützt oder offenbart erscheinen, wie in der Beschreibung auf Seite 21 Zeile 18 - Seite 22 Zeile 19 erläutert.

Der Anmelder wird darauf hingewiesen, daß Patentansprüche, oder Teile von Patentansprüchen, auf Erfindungen, für die kein internationaler Recherchenbericht erstellt wurde, normalerweise nicht Gegenstand einer internationalen vorläufigen Prüfung sein können (Regel 66.1(e) PCT). In seiner Eigenschaft als mit der internationalen vorläufigen Prüfung beauftragte Behörde wird das EPA also in der Regel keine vorläufige Prüfung für Gegenstände durchführen, zu denen keine Recherche vorliegt. Dies gilt auch für den Fall, daß die Patentansprüche nach Erhalt des internationalen Recherchenberichtes geändert wurden (Art. 19 PCT), oder für den Fall, daß der Anmelder im Zuge des Verfahrens gemäß Kapitel II PCT neue Patentansprüche vorlegt.

INTERNATIONAL RECHERCHENBERICHT

Internat. Aktenzeichen
PCT/EP 03/06596

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 9956390	A	04-11-1999		DE 19818824 A1 CA 2330039 A1 CN 1127202 B WO 9956390 A1 EP 1078451 A1 JP 2002513234 T US 6519822 B1		04-11-1999 04-11-1999 05-11-2003 04-11-1999 28-02-2001 08-05-2002 18-02-2003
WO 9943084	A	26-08-1999		DE 19806818 C1 CA 2321473 A1 CN 1127203 B WO 9943084 A1 DE 59903019 D1 EP 1055285 A1 JP 2002504773 T		04-11-1999 26-08-1999 05-11-2003 26-08-1999 14-11-2002 29-11-2000 12-02-2002
FR 2799883	A	20-04-2001		FR 2799883 A1 CA 2321360 A1 CN 1293485 A EP 1093159 A1 JP 2001176995 A US 6492194 B1		20-04-2001 15-04-2001 02-05-2001 18-04-2001 29-06-2001 10-12-2002
EP 0742643	A	13-11-1996		JP 3328102 B2 JP 8307197 A DE 69619297 D1 DE 69619297 T2 EP 0742643 A1 US 5991989 A US 5821665 A		24-09-2002 22-11-1996 28-03-2002 25-07-2002 13-11-1996 30-11-1999 13-10-1998
JP 10321666	A	04-12-1998		JP 2943764 B2		30-08-1999
JP 07212181	A	11-08-1995		KEINE		
JP 07212180	A	11-08-1995		KEINE		
US 5739585	A	14-04-1998		US 5674785 A US 6013948 A US 6235554 B1		07-10-1997 11-01-2000 22-05-2001